

明細書

デジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータ

技術分野

[0001] 本発明はデジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータに係り、特に、通信システムに用いる各種装置の試験などを行う場合に用いられるデジタル信号に任意のバイアス電圧を付与して出力するデジタル信号オフセット調整装置において、広帯域なデジタル信号に対応できるようにするための技術を採用したデジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータに関する。

背景技術

[0002] デジタル信号を用いた通信システムの通信速度は年々高速化されており、従来のMHz帯の低速なデジタル信号から近年ではGHz帯の高速なデジタル信号まで伸びている。

[0003] 従って、そのような通信システムに用いる各種装置の試験などを行う場合、パルスパターンジェネレータはMHz帯の低速なデジタル信号からGHz帯の高速なデジタル信号を、試験対象となる機器の入力インターフェースに応じたバイアス電圧を伴わせるようにしたオフセット調整を施したデジタル信号として供給する必要がある。

[0004] 一例として、デジタル信号の出力振幅が0.25 ~2Vpp (2mVステップ)の場合、バイアス電圧は-2 ~+2V (1mVステップ)とされている。

[0005] 図7は、このような目的で用いられる従来のデジタル信号オフセット調整装置100の構成を示している。

[0006] この装置は、一般的に「バイアスト」と呼ばれ、入力端子10aから入力されるデジタル信号Dの交流成分Dacを、コンデンサCを介して出力端子10bに伝達する。

[0007] また、コンデンサCの出力端子10b側の端子には、バイアス印加用コイル12の一端側が設けられている。

[0008] そして、このバイアス印加用コイル12の他端側から任意のバイアス電圧Vbを与える

ことにより、信号伝達用のコンデンサ皿を通過した交流成分D_{ac}とバイアス電圧V_bとを重畠したデジタル信号D'が出力端子10bから出力される。

[0009] 上記のようなバイアストランジistor、例えば、次の特許文献1、2に記載されている。

特許文献1:特開2004-193275号公報

特許文献2:特開2004-193866号公報

発明の開示

[0010] しかしながら、上記従来のデジタル信号オフセット調整装置において、低い周波数帯のデジタル信号の波形を正しく伝達させるためには、入力端子10aと出力端子10bの間に接続されている信号伝達用のコンデンサ皿の容量を大きくする必要があり、それに合わせてバイアス印加用コイル12のインダクタンスも大きくしなければならない。

[0011] 特に、通信システムに用いる各種装置の試験において、パルスパターンジェネレータから発生される一般的に使用されているランダムパターンのデジタル信号の場合、同一ビットデータが連續するようなデータパターンが存在し、そのデータパターンに含まれる周波数はデジタル信号自体のビットレートよりも低くなることがある。

[0012] このため、デジタル信号オフセット調整装置としては、ビットレートが数Mbps程度のデジタル信号であっても、それより格段に低い、例えば、数100Hzまでの低周波数成分を損失なく伝達する必要がある。

[0013] このように低周波数成分を損失なく伝達するためには、信号伝達用のコンデンサとして大容量のコンデンサを用い、それに合わせてバイアス印加用コイル12のインダクタンスも大きくしなければならない。

[0014] しかし、上記のように大容量(例えば、100μF)の信号伝達用コンデンサと、大きなインダクタンス(例えば、数10mH)のバイアス印加用コイルは必然的にその物理的な大きさも大型のものとなってしまう。

[0015] これは、デジタル信号オフセット調整装置全体としてのコスト高を招くばかりでなく、デジタル信号オフセット調整装置における高周波伝送路のインピーダンス整合が著しく困難となり、デジタル信号の高周波成分、特に、GHz帯の信号成分を正しく伝達できなくなつて波形歪みが生じてしまうれば、問題となる。

[0016] また、デジタル信号のパターンによっては、直流成分に近い成分が含まれていることがある。

[0017] しかるに、従来のデジタル信号オフセット調整装置では、デジタル信号のパターンによって存在する直流成分に近い成分を正しく伝達できなくなつて波形歪みが生じてしまうとレズ点でも問題となる。

[0018] そこで、本発明は、以上のような従来技術による問題点を解決するためになされたものであり、例えば、直流成分及び数100Hzの低周波数成分からGHz帯の高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができるデジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータを提供することを目的としている。

[0019] 上記目的を達成するために、本発明の第1の態様によると、
低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する入力デジタル信号が入力される入力端子(20a)と、
所望の直流バイアス電圧を出力する直流電圧発生器(25)と、
前記入力端子(20a)に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器(25)から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子(20b)と、
前記入力端子(20a)と前記出力端子(20b)との間に接続され、前記入力端子(20a)に入力される前記入力デジタル信号の高周波成分を前記出力端子(20b)に通過させるコンデンサ(21)と、
前記入力端子(20a)に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイル(23)と、
前記出力端子(20b)に一端側が接続される第2のコイル(22)と、
前記第1のコイル(23)の前記他端側に第1の入力端が接続され、前記直流電圧発生器(25)に第2の入力端が接続され、前記第2のコイル(22)の他端側に出力端が接続され、前記第1及び第2の入力端に入力される前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記直流電圧発生器(25)から出力される前記直流バイアス電圧とを合成して得られる

合成信号を前記出力端から前記第2のコイル(22)の前記他端側を介して前記出力端子(20b)に出力する演算增幅器(31a)と、

前記演算增幅器(31a)の前記第2の入力端と基準電位点(アースライン)との間または該第2の入力端と前記出力端との間に接続され、前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記演算增幅器(31a)の利得が大きくなるように周波数特性を補償するための周波数特性補償回路(35)と、

を具備するデジタル信号オフセット調整装置が提供される。

[0020] また、上記目的を達成するために、本発明の第2の態様によると、

前記演算增幅器(31a)の前記第1及び第2の入力端がそれぞれ非反転入力端(+)及び反転入力端(−)であるとき、

前記非反転入力端(+)と前記基準電位点(アースライン)との間には所定の値を有する入力整合用の抵抗(31b)が接続され、

前記演算增幅器(31a)の前記出力端と前記反転入力端(−)との間には帰還抵抗(31c)が接続され、

前記演算增幅器(31a)の前記出力端と前記第2のコイル(22)の前記他端側との間には所定の値を有する出力整合用の抵抗(31d)が接続され、

前記演算增幅器(31a)の前記反転入力端(−)と前記直流電圧発生器(25)との間には所定の値を有する直流入力用の抵抗(31e)が接続されていることにより、

前記演算增幅器(31a)の前記反転入力端(−)に入力される前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記演算增幅器(31a)の前記非反転入力端(+)に入力される前記直流電圧発生器(25)からの前記直流バイアス電圧とを前記演算增幅器(31a)で減算合成して得られる減算合成信号を前記演算增幅器(31a)の前記出力端から前記第2のコイル(22)の前記他端側を介して前記出力端子(20b)に出力することを特徴とする第1の態様に従うデジタル信号オフセット調整装置が提供される。

[0021] また、上記目的を達成するために、本発明の第3の態様によると、

前記演算增幅器(31a)の前記反転入力端(−)と前記直流電圧発生器(25)との

間に接続される前記直流入力用の抵抗(31o)は、前記所定の値として前記演算増幅器(31a₁)の前記出力端と前記反転入力端(－)との間に接続される前記帰還抵抗(31c)の値と等しい値を有していると共に、

前記周波数特性補償回路(35)が、前記演算増幅器(31a)の前記反転入力端(－)と前記基準電位点(アースライン)との間に直列に接続されたコンデンサ(Cc)と抵抗(Ro)により構成されていることを特徴とする第2の態様に従うデジタル信号オフセット調整装置が提供される。

[0022] また、上記目的を達成するために、本発明の第4の態様によると、

前記周波数特性補償回路(35)が、前記演算増幅器(31a)の前記出力端と前記反転入力端(－)との間に接続されたコイル(Lo)と抵抗(Rc')との直列回路で構成されていると共に、

前記演算増幅器(31a)の前記反転入力端(－)と前記直流電圧発生器(25)との間に接続される前記直流入力用の抵抗(31o)は、前記所定の値として前記演算増幅器(31a₁)の前記帰還抵抗(31o)と前記周波数特性補償回路(35)の前記抵抗(Rc')との並列合成抵抗値と等しい値を有していることを特徴とする第2の態様に従うデジタル信号オフセット調整装置が提供される。

[0023] また、上記目的を達成するために、本発明の第5の態様によると、

前記周波数特性補償回路(35')が、当該周波数特性補償回路(35')の前記抵抗(Rc')によって前記演算増幅器(31a)の前記出力端と前記反転入力端(－)との間に接続されている前記帰還抵抗(31o)を兼用し、前記帰還抵抗(31o)を兼用する前記抵抗(Rc')と前記演算増幅器(31₁₁)の前記反転入力端(－)との間に直列に接続されているコイル(Lc)とで構成されていると共に、

前記演算増幅器(31₁₁)の帰還抵抗(31o)を兼用する前記周波数特性補償回路(35')の前記抵抗(Rc')の抵抗値が前記直流電圧発生器(25)からの前記直流入力抵抗(31o)の抵抗値と等しくなるように設定されていることを特徴とする第4の態様に従うデジタル信号オフセット調整装置が提供される。

[0024] また、上記目的を達成するために、本発明の第6の態様によると、

低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する入力

デジタル信号が入力される入力端子(20a)と、
所望の直流バイアス電圧を出力する直流電圧発生器(25)と、
前記入力端子(20a)に入力される前記入力デジタル信号の前記低周波成分、直
流成分及び高周波成分に前記直流電圧発生器(25)から出力される前記直流バイ
アス電圧が加えられた出力デジタル信号を出力するための出力端子(20b)と、
前記入力端子(20a)と前記出力端子(20b)との間に接続され、前記入力端子(20a)に入
力される前記入力デジタル信号の高周波成分を前記出力端子(20b)に通
過させるコンデンサ(21)と、
前記入力端子(20a)に一端側が接続され、前記入力デジタル信号の前記低周波
成分及び直流成分を他端側に通過させる第1のコイル(23)と、
前記出力端子(20b)に一端側が接続される第2のコイル(22)と、
前記第1のコイル(23)の前記他端側に第1の入力端が接続され、基準電位点(ア
ースライン)に第2の入力端が接続され、前記第1のコイル(23)の前記他端側に通過
される前記入力デジタル信号の前記低周波成分及び前記直流成分とを反転増幅し
て得られる第1の反転増幅信号を出力端から出力する第1の演算増幅器(40)と、
前記直流電圧発生器(25)に第1の入力端が接続され、前記基準電位点(アースラ
イン)に第2の入力端が接続され、前記直流電圧発生器(25)から出力される前記直
流バイアス電圧を反転増幅して得られる第2の反転増幅信号を出力端から出力する
第2の演算増幅器(41)と、
前記第1及び第2の演算増幅器(40, 41)の各出力端に第1の入力端が共通に接
続され、前記基準電位点(アースライン)に第2の入力端が接続され、前記第1及び
第2の反転増幅信号を合成して得られる合成信号を反転増幅して出力端から前記第
2のコイル(22)の前記他端側に出力する第3の演算増幅器(42)と、
それぞれ、前記第1及び第3の演算増幅器(40, 42)の各第1の入力端と前記基準
電位点(アースライン)との間または前記第1及び第3の演算増幅器(40, 42)の各第
1の入力端と各出力端との間に接続され、前記第1のコイル(23)の前記他端側に通
過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前
記第1及び第3の演算増幅器(40, 42)の利得が大きくなるように周波数特性を補償

するための第1及び第2の周波数特性補償回路(35a, 35b)と、
を具備するデジタル信号オフセット調整装置が提供される。

[0025] また、上記目的を達成するために、本発明の第7の態様によると、
前記第1乃至第3の演算增幅器(40, 41, 42)の前記第1及び第2の入力端が、それ
ぞれ、反転入力端(−)及び非反転入力端(+)であるとき、
前記第1乃至第3の演算增幅器(40, 41, 42)の各非反転入力端(+)が前記基準
電位点(アースライン)に接続され、
前記第1の演算增幅器(40)の前記反転入力端(−)と前記基準電位点(アースライ
ン)との間には所定の値を有する入力整合用の抵抗(31b)が接続され、
前記第1乃至第3の演算增幅器(40, 41, 42)の各出力端と各反転入力端(−)と
の間には、それぞれ、第1乃至第3の帰還抵抗(31c1, 31c2, 31c3)が接続され、
前記第2の演算增幅器(41)の前記反転入力端(−)と前記直流電圧発生器(25)
との間には所定の値を有する直流入力用の抵抗(31o)が接続され、
前記第1及び第2の演算增幅器(40, 41)の各出力端と前記第3の演算增幅器(4
2)の前記反転入力端(−)との間には、それぞれ、所定の値を有する第1及び第2の
出力整合用の抵抗(31d1, 31d2)が接続され、
前記第3の演算增幅器(42)の前記出力端と前記第2のコイル(22)の前記他端側
との間には前記所定の値を有する第3の出力整合用の抵抗(31d3)が接続されてい
ることにより、
前記第1及び第2の演算增幅器(40, 41)の各出力端から出力される前記第1及び
第2の反転増幅信号を加算合成して得られる加算合成信号を反転増幅する前記第3
の演算增幅器(42)の前記出力端から前記第2のコイル(22)の前記他端側を介して
前記出力端子(20b)に出力することを特徴とする第6の態様に従うデジタル信号オフ
セット調整装置が提供される。

[0026] また、上記目的を達成するために、本発明の第8の態様によると、
前記第2の演算增幅器(41)の前記反転入力端(−)と前記直流電圧発生器(25)
との間に接続される前記直流入力用の抵抗(31o)は、前記所定の値として前記第2
の演算增幅器(41)の前記出力端と前記反転入力端(−)との間に接続される前記

第2の帰還抵抗(31c2)の値と等しい値を有していると共に、

前記第1及び第2の周波数特性補償回路(35a, 35b)が、前記第1及び第3の演算增幅器(40, 42)の各反転入力端(ー)と前記基準電位点(アースライン)との間に、それぞれ、直列に接続されたコンデンサ(Co1, Co2)と抵抗(Ro1, Ro2)により構成されていることを特徴とする第7の態様に従うデジタル信号オフセット調整装置が提供される。

[0027] また、上記目的を達成するために、本発明の第9の態様によると、

前記第2の演算增幅器(41)の前記反転入力端(ー)と前記直流電圧発生器(25)との間に接続される前記直流入力用の抵抗(31o)は、前記所定の値として前記第2の演算增幅器(41)の前記出力端と前記反転入力端(ー)との間に接続される前記第2の帰還抵抗(31c2)の値と等しい値を有していると共に、

前記第1及び第2の周波数特性補償回路(35a, 35b)が、それぞれ、前記第1及び第3の演算增幅器(40)の各出力端と各反転入力端(ー)との間に接続されたコイル(Lc1, Lc1)と抵抗(Rc1, Rc2)との直列回路で構成されていることを特徴とする第7の態様に従うデジタル信号オフセット調整装置が提供される。

[0028] また、上記目的を達成するために、本発明の第10の態様によると、

前記第1及び第2の周波数特性補償回路(35a', 35b')が、それぞれ、当該第1及び第2の周波数特性補償回路(35a', 35b')の抵抗(Ro1, Ro2)によって前記第1及び第3の演算增幅器(40, 42)の各出力端と各反転入力端(ー)との間に接続されている前記第1及び第3の帰還抵抗(31c1, 31c3)を兼用し、前記第1及び第3の帰還抵抗(31o1, 31c3)を兼用する前記抵抗(Ro1, Ro2)と前記第1及び第3の演算增幅器(40, 42)の各反転入力端(ー)との間に直列に接続されているコイル(Lc1, Lc2)とで構成していることを特徴とする第9の態様に従うデジタル信号オフセット調整装置が提供される。

[0029] また、上記目的を達成するために、本発明の第Ⅲの態様によると、

低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジタル信号であって、同一ビットデータが連続するようなデータパターンを含む所望のパルスパターンのデジタル信号を出力するデジタル信号出力部(101)と、

前記デジタル信号出力部(101)に接続されるデジタル信号オフセット調整装置(20)とを具備し、

前記デジタル信号オフセット調整装置(20)が、

前記デジタル信号出力部(101)から出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力デジタル信号として人力される入力端子(20a)と、

所望の直流バイアス電圧を出力する直流電圧発生器(25)と、

前記入力端子(20a)に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器(25)から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子(20b)と、

前記入力端子(20a)と前記出力端子(20b)との間に接続され、前記入力端子(20a)に入力される前記入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサ(21)と、

前記入力端子(20a)に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイル(23)と、

前記出力端子(20b)に一端側が接続される第2のコイル(22)と、

前記第1のコイル(23)の前記他端側に第1の入力端が接続され、前記直流電圧発生器(25)に第2の入力端が接続され、前記第2のコイル(22)の他端側に出力端が接続され、前記第1及び第2の入力端に入力される前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記直流電圧発生器(25)から出力される前記直流バイアス電圧とを合成して得られる合成信号を前記出力端から前記第2のコイル(22)の前記他端側を介して前記出力端子(20b)に出力する演算增幅器(31a)と、

前記演算增幅器(31a)の前記第2の入力端と前記基準電位点(アースライン)との間または該第2の入力端と前記出力端との間に接続され、前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記演算增幅器(31a)の利得が大きくなるように周波数特性を補償するための周波数特性補償回路(35)と、

を具備するパルスパターンジェネレータが提供される。

[0030] また、上記目的を達成するために、本発明の第12の態様によると、前記デジタル信号オフセット調整装置(20)の前記演算増幅器(31a)の前記第1及び第2の入力端が、それぞれ、非反転入力端(+)及び反転入力端(−)であるとき、前記演算増幅器(31a)の前記非反転入力端(+)と基準電位点(アースライン)との間には所定の値を有する入力整合用の抵抗(31b)が接続され、前記演算増幅器(31a)の前記出力端と前記反転入力端(−)との間には帰還抵抗(31c)が接続され、前記演算増幅器(31a)の前記出力端と前記第2のコイル(22)の前記他端側との間には所定の値を有する出力整合用の抵抗(31d)が接続され、前記演算増幅器(31a)の前記反転入力端(−)と前記直流電圧発生器(25)との間には所定の値を有する直流入力用の抵抗(31e)が接続されていることにより、前記演算増幅器(31a)の前記非反転入力端(+)に入力される前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記演算増幅器(31a)の前記反転入力端(−)に入力される前記直流電圧発生器(25)からの前記直流バイアス電圧とを前記演算増幅器(31a)で減算合成して得られる減算合成信号を前記演算増幅器(31a)の前記出力端から前記第2のコイル(22)の前記他端側を介して前記出力端子(20b)に出力することを特徴とする第Ⅲの態様に従うパルスパターンジェネレータが提供される。

[0031] また、上記目的を達成するために、本発明の第13の態様によると、前記演算増幅器(31a)の前記反転入力端(−)と前記直流電圧発生器(25)との間に接続される前記直流入力用の抵抗(31e)は、前記所定の値として前記演算増幅器(31a)の前記出力端と前記反転入力端(−)との間に接続される前記帰還抵抗(31c)の値と等しい値を有していると共に、前記周波数特性補償回路(35)が、前記演算増幅器(31a)の前記反転入力端(−)と前記基準電位点(アースライン)との間に直列に接続されたコンデンサ(Cc)と抵抗(Rc)により構成されていることを特徴とする第12の態様に従うパルスパターンジェネレータが提供される。

[0032] また、上記目的を達成するために、本発明の第14の態様によると、前記周波数特性補償回路(35)が、前記演算増幅器(31a)の前記出力端と前記反転入力端(ー)との間に接続されたコイル(L₀)と抵抗(R_{c'})との直列回路で構成されていると共に、前記演算増幅器(31a)の前記反転入力端(ー)と前記直流電圧発生器(25)との間に接続される前記直流入力用の抵抗(31₀)は、前記所定の値として前記演算増幅器(31a)の前記帰還抵抗(31₀)と前記周波数特性補償回路(35)の前記抵抗(R_{c'})との並列合成抵抗値と等しい値を有していることを特徴とする第12の態様に従うパルスパターンジェネレータが提供される。

[0033] また、上記目的を達成するために、本発明の第15の態様によると、前記直流入力用の抵抗(31₀)は前記所定の値として前記帰還抵抗(31₀)の値と等しい値を有していると共に、前記周波数特性補償回路(35')が、当該周波数特性補償回路(35')の抵抗(R_{c'})によって前記演算増幅器(31a)の前記出力端と前記反転入力端(ー)との間に接続されている前記帰還抵抗(31₀)を兼用し、前記帰還抵抗(31₀)を兼用する前記抵抗(R_{c'})と前記反転入力端(ー)との間に直列に接続されているコイル(L₀)とで構成されていると共に、前記演算増幅器(31a)の帰還抵抗(31₀)を兼用する前記周波数特性補償回路(35')の前記抵抗(R_{c'})の抵抗値が前記直流電圧発生器(25)からの前記直流入力抵抗(31₀)の抵抗値と等しくなるように設定されていることを特徴とする第14の態様に従うパルスパターンジェネレータが提供される。

[0034] また、上記目的を達成するために、本発明の第16の態様によると、低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジタル信号であって、同一ビットデータが連続するようなデータパターンを含む所望のパルスパターンのデジタル信号を出力するデジタル信号出力部(101)と、前記デジタル信号出力部(101)に接続されるデジタル信号オフセット調整装置(20)とを具備し、前記デジタル信号オフセット調整装置(20)が、

前記デジタル信号出力部(101)から出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力デジタル信号として入力される入力端子(20a)と、

所望の直流バイアス電圧を出力する直流電圧発生器(25)と、

前記入力端子(20a)に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器(25)から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子(20b)と、

前記入力端子(20a)と前記出力端子(20b)との間に接続され、前記入力端子(20a)に入力される前記入力デジタル信号の高周波成分を前記出力端子(20b)に通過させるコンデンサ(21)と、

前記入力端子(20a)に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイル(23)と、

前記出力端子(20b)に一端側が接続される第2のコイル(22)と、

前記第1のコイル(23)の前記他端側に第1の入力端が接続され、基準電位点(アースライン)に第2の入力端が接続され、前記第1のコイル(23)の前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分とを反転増幅して得られる第1の反転増幅信号を出力端から出力する第1の演算增幅器(40)と、

前記直流電圧発生器(25)に第1の入力端が接続され、前記基準電位点(アースライン)に第2の入力端が接続され、前記直流電圧発生器(25)から出力される前記直流バイアス電圧を反転増幅して得られる第2の反転増幅信号を出力端から出力する第2の演算增幅器(41)と、

前記第1及び第2の演算增幅器(40, 41)の各出力端に第1の入力端が共通に接続され、前記基準電位点(アースライン)に第2の入力端が接続され、前記第1及び第2の反転増幅信号を合成して得られる合成信号を反転増幅して出力端から前記第2のコイル(22)の前記他端側に出力する第3の演算增幅器(42)と、

それぞれ、前記第1及び第3の演算增幅器(40, 42)の各第1の入力端と前記基準電位点(アースライン)との間または前記第1及び第3の演算增幅器(40, 42)の各第1の入力端と前記出力端との間に接続され、前記第1のコイル(23)の前記他端側に

通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記第1及び第3の演算増幅器(40, 42)の利得が大きくなるように周波数特性を補償するための第1及び第2の周波数特性補償回路(35a, 35b)と、
を具備するパルスパターンジェネレータが提供される。

[0035] また、上記目的を達成するために、本発明の第17の態様によると、
前記デジタル信号オフセット調整装置(20)の前記第1乃至第3の演算増幅器(40, 41, 42)の前記第1及び第2の入力端が、それぞれ、反転入力端(−)及び非反転入力端(+)であるとき、
前記第1乃至第3の演算増幅器(40, 41, 42)の各非反転入力端(+)が前記基準電位点(アースライン)に接続され、
前記第1の演算増幅器(40)の前記反転入力端(−)と前記基準電位点(アースライン)との間には所定の値を有する入力整合用の抵抗(31b)が接続され、
前記第1乃至第3の演算増幅器(40, 41, 42)の各出力端と各反転入力端(−)との間には、それぞれ、第1乃至第3の帰還抵抗(31c1, 31c2, 31c3)が接続され、
前記第2の演算増幅器(41)の前記反転入力端(−)と前記直流電圧発生器(25)との間には所定の値を有する直流入力用の抵抗(31o)が接続され、
前記第1及び第2の演算増幅器(40, 41)の各出力端と前記第3の演算増幅器(42)の前記反転入力端(−)との間には、それぞれ、所定の値を有する第1及び第2の出力整合用の抵抗(31d1, 31d2)が接続され、
前記第3の演算増幅器(42)の前記出力端と前記第2のコイル(22)の前記他端側との間には前記所定の値を有する第3の出力整合用の抵抗(31d3)が接続されていることにより、
前記第1及び第2の演算増幅器(40, 41)の各出力端から出力される前記第1及び第2の反転増幅信号を加算合成して得られる加算合成信号を反転増幅する前記第3の演算増幅器(42)の前記出力端から前記第2のコイル(22)の前記他端側を介して前記出力端子(20b)に出力することを特徴とする第16の態様に従うパルスパターンジェネレータが提供される。

[0036] また、上記目的を達成するために、本発明の第18の態様によると、

前記第2の演算増幅器(41)の前記反転入力端(－)と前記直流電圧発生器(25)との間に接続される前記直流入力用の抵抗(31o)は、前記所定の値として前記第2の演算増幅器(41)の前記出力端と前記反転入力端(－)との間に接続される前記第2の帰還抵抗(31c2)の値と等しい値を有していると共に、

前記第1及び第2の周波数特性補償回路(35a, 35b)が、前記第1及び第2の演算増幅器(40, 41)の各反転入力端(－)と前記基準電位点(アースライン)との間に、それぞれ、直列に接続されたコンデンサ(Co1, Co2)と抵抗(Ro1, Ro2)により構成されていることを特徴とする第17の態様に従うパルスパターンジェネレータが提供される。

[0037] また、上記目的を達成するために、本発明の第19の態様によると、

前記第2の演算増幅器(41)の前記反転入力端(－)と前記直流電圧発生器(25)との間に接続される前記直流入力用の抵抗(31o)は、前記所定の値として前記第2の演算増幅器(41)の前記出力端と前記反転入力端(－)との間に接続される前記第2の帰還抵抗(31c2)の値と等しい値を有していると共に、

前記第1及び第2の周波数特性補償回路(35a, 35b)が、それぞれ、前記第1及び第3の演算増幅器(40, 42)の各出力端と各反転入力端(－)との間に接続されたコイル(Lc1, Lc1)と抵抗(Rc1, Rc2)との直列回路で構成されていることを特徴とする第17の態様に従うパルスパターンジェネレータが提供される。

[0038] また、上記目的を達成するために、本発明の第20の態様によると、

前記第1及び第2の周波数特性補償回路(35a', 35b')が、それぞれ、該第1及び第2の周波数特性補償回路(35a', 35b')の各抵抗(Rc1, Rc2)によって前記第1及び第3の演算増幅器(40)の各出力端と各反転入力端(－)との間に接続されている前記第1及び第3の帰還抵抗(31c1, 31c3)を兼用し、前記第1及び第3の帰還抵抗(31c1, 31c3)を兼用する前記抵抗(Rc1, Rc2)と前記第1及び第3の演算増幅器(40)の各反転入力端(－)との間に直列に接続されているコイル(Lo1, Lo2)とで構成されていることを特徴とする第19の態様に従うパルスパターンジェネレータが提供される。

図面の簡単な説明

[0039] [図1]図1は、本発明によるデジタル信号オフセット調整装置の第1の実施形態の構成を示す接続図である。

[図2]図2は、図1に示した第1の実施形態によるデジタル信号オフセット調整装置の周波数特性補償回路による補償無しの入出力間の伝達特性例を示す図である。

[図3]図3は、図1に示した第1の実施形態によるデジタル信号オフセット調整装置の周波数特性補償回路による補償無しの入出力間の伝達特性例を示す図である。

[図4]図4は、図1に示した第1の実施形態によるデジタル信号オフセット調整装置の周波数特性補償回路による補償無しの入出力間の伝達特性例を示す図である。

[図5]図5は、図1に示した第1の実施形態によるデジタル信号オフセット調整装置の周波数特性補償回路による補償有りの入出力間の伝達特性例を示す図である。

[図6]図6は、本発明によるデジタル信号オフセット調整装置の第2の実施形態の構成を示す接続図である。

[図7]図7は、従来のデジタル信号オフセット調整装置の構成を示す接続図である。

[図8]図8は、本発明によるデジタル信号オフセット調整装置の第3の実施形態の構成を示す接続図である。

[図9]図9は、本発明によるデジタル信号オフセット調整装置の第4の実施形態の構成を示す接続図である。

[図10]図10は、本発明の第5の実施形態によるパルスパターンジェネレータの構成を示す接続図である。

[図11]図11は、本発明の第6の実施形態によるパルスパターンジェネレータの構成を示す接続図である。

[図12]図12は、本発明の第7の実施形態によるパルスパターンジェネレータの構成を示す接続図である。

[図13]図13は、本発明の第8の実施形態によるパルスパターンジェネレータの構成を示す接続図である。

[図14]図14は、本発明の第9の実施形態によるパルスパターンジェネレータの構成を示す接続図である。

[図15]図15は、本発明の第10の実施形態によるパルスパターンジェネレータの構成

を示す接続図である。

[図16]図16は、本発明の第Ⅲの実施形態によるパルスパターンジェネレータの構成を示す接続図である。

[図17]図17は、本発明の第12の実施形態によるパルスパターンジェネレータの構成を示す接続図である。

発明を実施するための最良の形態

[0040] 以下、本発明によるデジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータの幾つかの実施の形態について、図面を参照して説明する。

[0041] (第1の実施形態)

図1は、本発明の第1の実施形態によるデジタル信号オフセット調整装置20の回路構成を示している。

[0042] この図1に示す第1の実施形態によるデジタル信号オフセット調整装置20は、基本的な構成として、低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する入力デジタル信号が入力される入力端子20aと、所望の直流バイアス電圧を出力する直流電圧発生器25と、入力端子20aに入力される入力デジタル信号の低周波成分、直流成分及び高周波成分に直流電圧発生器25から出力される直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子20bと、前記入力端子20aと出力端子20bとの間に接続され、入力端子20aに入力される入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサ21と、入力端子20aに一端側が接続され、入力デジタル信号の低周波成分及び直流成分を他端側に通過させる第1のコイル23と、出力端子20bに一端側が接続される第2のコイル22と、第1のコイル23の他端側に第1の入力端が接続され、直流電圧発生器25に第2の入力端が接続され、第2のコイル22の他端側に出力端が接続され、第1及び第2の入力端に入力される第1のコイル23の他端側に通過される入力デジタル信号の低周波成分及び前記直流成分と直流電圧発生器25から出力される直流バイアス電圧とを合成して得られる合成信号を出力端から第2のコイル22の他端側を介して出力端子20bに出力する演算增幅器31aと、演算增幅器31aの第2の入力端と基準電位点(アースライン)との間または該第2の入力端と出力端との間に接続され、第1

のコイル23の他端側に通過される入力デジタル信号の低周波成分のうち周波数が高い成分ほど演算増幅器31aの利得が大きくなるように周波数特性を補償するための周波数特性補償回路35とを有する。

- [0043] 具体的には、図1に示しているように、デジタル信号オフセット調整装置20の入力端子20aと出力端子20bとの間に、従来のデジタル信号オフセット調整装置と同様に、入力端子20aから入力されるデジタル信号Dに含まれる所定周波数以上の交流成分(以下、高周波成分とレフ)D_Hを通過させるためのコンデンサ21が接続されており。
[0044] また、出力端子20bには、バイアス印加用コイル(第2のコイル)22の一端側が接続されている。
- [0045] また、入力端子20aには、例えば、後述するパルスパターンジェネレータのデジタル信号出力部から入力されるデジタル信号Dの周波数成分のうち、コンデンサ21で大きく減衰されてしまう成分(通過できない成分)、すなわち、前記所定周波数以下の成分(以下、低周波成分とレフ)と直流成分とを含む信号D_bを抽出するための低周波抽出用コイル(第1のコイル)23の一端が接続されている。
- [0046] この低周波抽出用コイル23のインダクタンスは、バイアス印加用コイル22のインダクタンスと異なっていてもよいが、ここでは等しい祐のとする。
- [0047] 低周波抽出用コイル23により抽出された低周波成分と直流成分とを含む信号D_bは、直流電圧発生器25から出力される任意電圧V_dの直流信号D_{dc}と共に合成回路30に入力される。
- [0048] ここで、直流電圧発生器25から出力される任意電圧V_dは、後述するようにバイアス電圧設定部26によって、所望の電圧となるように設定される。
- [0049] 合成回路30は、低周波抽出用コイル23から出力される低周波成分と直流成分とを含む信号D_bに対して、直流信号D_{dc}を減算合成し、その減算合成により得られた減算合成信号をバイアス印加用コイル22の他端側に供給するためのものである。
- [0050] ここでは、合成回路30は、図1に示しているように、演算増幅器31aを用いた差動増幅回路の構成となっている。
- [0051] すなわち、この合成回路30において、演算増幅器31aの第1の入力端としての非

反転入力端(+)と基準電位点(アースライン)との間には、例えば、50^{cc}の入力整合用の抵抗31bが接続されている。

- [0052] また、演算増幅器31aの出力端と第2の入力端としての反転入力端(−)との間には、帰還抵抗31cが接続されている。
- [0053] また、演算増幅器31aの出力端とバイアス印加用コイル22との間には、例えば、50^{cc}の出力整合用の抵抗31dが接続されている。
- [0054] また、演算増幅器31aの反転入力端(−)には、帰還抵抗31cと等しい抵抗値の直流入力用抵抗31eを介して直流電圧発生器25から直流信号D_{dc}が入力されるようになされている。
- [0055] なお、直流電圧発生器25の出力抵抗(内部抵抗)は、帰還抵抗31cや直流入力用抵抗31eに対して、無視できる程度に小さく、交流的に見て基準電位点(アースライン)に接続されているものとする。
- [0056] このように構成されたデジタル信号オフセット調整装置20において、後述する周波数特性補償回路35の補償作用を無視すると、合成回路30の演算増幅器31aは、出力端子20bが50^{cc}で終端されると仮定して、出力整合用の抵抗31dによる減衰分を含めて、低周波成分D_bに対して利得1の同相バッファとして作用する。
- [0057] また、合成回路30の演算増幅器31aは、直流電圧発生器25から出力される電圧V_dの直流信号D_{dc}に対して利得0.5の反転バッファ(減衰器)として作用する。
- [0058] つまり、合成回路30の出力信号V_oは、

$$V_o = D_b - V_d / 2$$
 となる。
- [0059] ここで、低周波成分D_bが、直流分V_{dc}と交流分V_{ac}との和とすれば、出力信号V_oは、

$$V_o = V_{ac} + (V_{dc} - V_d / 2)$$
 となる。
- [0060] この出力信号V_oは、バイアス印加用コイル22を介して、コンデンサ21の他端側、すなわち、出力端子20bに入力される。
- [0061] したがって、出力端子20bから出力されるデジタル信号D'は、

$$D' = D_a + V_o = (D_a + V_{ac}) + (V_{dc} - V_d/2)$$

となる。

[0052] 上式で $(D_a + V_{ac})$ は交流成分、 $(V_{dc} - V_d/2)$ は直流成分であるから、その直流成分 $(V_{dc} - V_d/2)$ が出力端子₂ Q₀において所望値となるように、直流電圧発生器₂₅の出力電圧 V_d を電圧設定部₂₆によって可変調整して設定することにより、デジタル信号 D' に所望のバイアス電圧を与えること、すなわち、デジタル信号 D' のオフセットを所望の値に調整することができる。

[0053] 一方、高周波成分 D_a と低周波成分 D_b の交流分 V_{ac} の周波数範囲は、コンデンサ₂₁の容量 C と、バイアス印加用コイル₂₂及び低周波抽出用コイル₂₃のインダクタンス L とによって決定される。

[0054] この場合、高周波成分 D_a の周波数範囲の下限周波数と、低周波成分 D_b の交流成分 V_{ac} の上限周波数とがほぼ一致するように、コンデンサ₂₁の容量 C とバイアス印加用コイル₂₂及び低周波抽出用コイル₂₃のインダクタンス L の値が設定されている。

[0055] また、この合成回路₃₀には、入力端子₂ Q₀から出力端子₂ Q₀に至る信号路間の特定周波数領域における利得低下を補償するための周波数特性補償回路₃₅が設けられている。

[0056] この周波数特性補償回路₃₅は、合成回路₃₀の演算増幅器_{31a}の反転入力端(ー)と基準電位点(アースライン)との間に直列に接続されたコンデンサ_{cc}と抵抗 R_c により構成されている。

[0057] すなわち、周波数特性補償回路₃₅は、低周波成分 D_b の交流分 V_{ac} に対してその周波数が高くなるにつれてインピーダンスを下げる、抵抗 R_c と直流入力抵抗_{31e}との並列合成インピーダンスを下げるにより、その並列合成インピーダンスと帰還抵抗_{31c}との比で決まる演算増幅器_{31a}の利得を上昇させる。

[0058] また、周波数特性補償回路₃₅は、その演算増幅器_{31a}の利得上昇とバイアス印加用コイル₂₂及び低周波抽出用コイル₂₃のインダクタンス L による信号減衰(仰角)とにより、交流分 V_{ac} の上限近傍の周波数帯域の利得を大きくする(ピギング効果)作用がある。

[0059] ここで、上記実施形態のシミュレーション結果を説明する。

[0070] 図2乃至図4は、上記周波数特性補償回路35を含まない場合において、バイアス印加用コイル22と低周波抽出用コイル23のインダクタンスLを、1mH、3mH、5mHとしたときの入出力伝達特性の低域部分を示している。

[0071] なお、図2乃至図4では、入出力伝達特性のうち1MHzを越える高域部分は、例えば、GHz帯の所望帯域まで平坦であるので省略している。

[0072] また、図2乃至図4の入出力伝達特性を得るために用いられているコンデンサ21の容量Cはいずれも $10\mu\text{F}$ である。

[0073] これらの図2乃至図4から明らかなように、いずれのインダクタンス値においても低域部分において利得が若干低下する周波数領域が発生している。

[0074] この利得が若干低下する周波数領域は、バイアス印加用コイル22と低周波抽出用コイル23のインダクタンスの増加につれて低域側に推移することから、低周波抽出用コイル23とバイアス印加用コイル22のインダクタンスの直列分とコンデンサ21との並列共振作用等によるものと推察される。

[0075] この場合、低抵抗となる整合用の入力抵抗31bが挿入されることにより、並列共振回路のQ値が低いため、その利得低下は緩慢である。

[0076] しかるに、周波数特性補償回路35によって上述の利得低下を補償すれば、図5に示すように、より広い周波数範囲にわたって平坦な入出力伝達特性が得られる。

[0077] 図5は、図3の特性($L=3\text{mH}$)の利得低下領域における演算增幅器31aの交流増幅度を高くするために、周波数特性補償回路35のコンデンサCcとして $0.12\mu\text{F}$ 、抵抗Rcとして $47\text{ }\Omega$ の補償回路35を用いたときの入出力端子20a、20b間の入出力伝達特性を示している。

[0078] この図5に示す入出力伝達特性を図3に示す周波数特性補償無しでの入出力伝達特性と比較すれば明らかのように、図2乃至図4の低域部分において見られていたような利得低下領域がなくなり、ほぼ全域にわたって完全に平坦に近い特性が得られている。

[0079] したがって、このような周波数特性補償回路35を用いたデジタル信号オフセット調整装置20では、入力されるデジタル信号に含まれる周波数成分のうち、直流成分及び低周波数成分から数GHzまでの高周波数成分を一様に伝達することができ、波

形歪みのない信号伝達が行える。

[0080] また、上記実施形態の合成回路30は、单一の演算増幅器31aによる差動増幅回路で構成しているので、回路構成が簡単で小型化でき、演算増幅器自身の直流オフセット誤差やそのドリフトの影響が1個分で済み、安定な直流バイアス供給が行える。

[0081] (第2の実施形態)

図6は、本発明の第2の実施形態によるデジタル信号オフセット調整装置20の回路構成を示している。

[0082] 図6において、前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置20と同一の回路構成部分については、同一の参照符号を用いてそれらの説明を省略するものとする。

[0083] すなわち、図6に示す本発明の第2の実施形態のデジタル信号オフセット調整装置20においては、周波数特性補償回路35'の構成が前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置20の周波数特性補償回路35の構成と異なっている。

[0084] 前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置20の周波数特性補償回路35が、合成回路30の演算増幅器31aの反転入力端(ー)と基準電位点(アースライン)との間に接続されているコンデンサCcと抵抗Rcとの直列回路で構成されている場合である。

[0085] これに対し、図6に示す第2の実施形態のデジタル信号オフセット調整装置20においては、周波数特性補償回路35'が、演算増幅器31aの出力端子と反転入力端(ー)との間に接続されているコイルLcと抵抗Rc'との直列回路で構成されている。

[0086] この場合、演算増幅器31aの帰還抵抗31aと周波数特性補償回路35'の抵抗Rc'との並列合成抵抗値が直流電圧発生器25からの直流入力抵抗31aの抵抗値と等しくなるように設定されればよい。

[0087] すなわち、周波数特性補償回路35'は、図1の周波数特性補償回路35と同様に、低周波成分Dbの交流分Vacに対してその周波数が高くなるにつれてインピーダンスを下げて、抵抗Rcと直流入力抵抗31aとの並列合成インピーダンスを下げるにより、その並列合成インピーダンスと帰還抵抗31aとの比で決まる演算増幅器31aの

利得を上昇させる。

[0088] このように構成された図6の周波数特性補償回路35'は、図1の周波数特性補償回路35と同様に、演算増幅器31aの利得上昇とバイアス印加用コイル22及び低周波抽出用コイル23のインダクタンスLによる信号減衰(得低下)とにより、交流分V_{ac}の上限近傍の周波数帯域の利得を大きくする(ピーピング効果)作用がある。

[0089] (第3の実施形態)

図8は、本発明の第3の実施形態によるデジタル信号オフセット調整装置20の回路構成を示している。

[0090] 図8において、前述の図6に示した第2の実施形態のデジタル信号オフセット調整装置20と同一の回路構成部分については、同一の参照符号を用いてそれらの説明を省略するものとする。

[0091] すなわち、図8に示す本発明の第3の実施形態のデジタル信号オフセット調整装置20においては、周波数特性補償回路35'が、前述の図6に示した第2の実施形態のデジタル信号オフセット調整装置20の周波数特性補償回路35'の構成と異なっている。

[0092] 前述の図6に示した第2の実施形態のデジタル信号オフセット調整装置20では、周波数特性補償回路35'は、演算増幅器31aの出力端子と反転入力端(-)との間に接続されているコイルL_oと抵抗R_o'との直列回路で構成されている場合である。

[0093] これに対して、図8に示す第3の実施形態のデジタル信号オフセット調整装置20においては、周波数特性補償回路35'が、前述の図6に示した周波数特性補償回路35'の抵抗R_o'によって演算増幅器31aの帰還抵抗31_oを兼用し、この帰還抵抗31_oを兼用する抵抗R_o'と演算増幅器31aの反転入力端(-)との間にコイルL_oを直列に挿入して構成されている。

[0094] この場合、演算増幅器31aの帰還抵抗31_oを兼用する周波数特性補償回路35'の抵抗R_o'の抵抗値が直流電圧発生器25からの直流入力抵抗31_oの抵抗値と等しくなるように設定されればよい。

[0095] すなわち、図8の周波数特性補償回路35'は、図1の周波数特性補償回路35と同様に、低周波成分D_bの交流分V_{ac}に対してその周波数が高くなるにつれてインピ

一ダンスを下げる、抵抗 R_o と直流入力抵抗 31_o との並列合成インピーダンスを下げるにより、その並列合成インピーダンスと帰還抵抗を兼用する抵抗 R_o との比で決まる演算增幅器 $31a$ の利得を上昇させる。

[0096] このように構成された図8の周波数特性補償回路 $35'$ は、図6の周波数特性補償回路 35 と同様に、演算增幅器 $31a$ の利得上昇とバイアス印加用コイル 22 及び低周波抽出用コイル 23 のインダクタンス L による信号減衰(得低下)とにより、交流分 V_{ac} の上限近傍の周波数帯域の利得を大きくする(ピーピング効果)作用がある。

[0097] (第4の実施形態)

図9は、本発明の第4の実施形態によるデジタル信号オフセット調整装置 20 の回路構成を示している。

[0098] 図9において、前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置 20 と同一の回路構成部分については、同一の参照符号を用いてそれらの説明を省略するものとする。

[0099] すなわち、図9に示す本発明の第4の実施形態のデジタル信号オフセット調整装置 20 においては、合成回路 30 の構成が前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置 20 の合成回路 30 の構成と異なっている。

[0100] 前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置 20 の合成回路 30 では、低周波抽出用コイル 23 から出力される信号と直流電圧発生器 25 からの直流信号 D_{dc} とを一つの演算增幅器 $31a$ によっての減算合成する構成である。

[0101] これに対して、図9に示す第4の実施形態のデジタル信号オフセット調整装置 20 においては、合成回路 30 が、低周波抽出用コイル 23 から出力される信号と直流電圧発生器 25 からの直流信号 D_{dc} とを複数の演算增幅器を用いて加算合成するように構成されている。

[0102] 具体的には、図9に示すように、合成回路 30 は、低周波抽出用コイル 23 の他端側に反転入力端(−)が接続され、当該低周波抽出用コイル 23 の他端側に通過される入力デジタル信号の低周波成分及び直流成分とを反転増幅して得られる第1の反転增幅信号を出力端から出力する第1の演算增幅器 40 と、直流電圧発生器 25 の出

力端に反転入力端（-）が接続され、前記直流電圧発生器25から出力される前記直流バイアスを反転増幅して得られる第2の反転増幅信号を出力端から出力する第2の演算増幅器41と、第1及び第2の演算増幅器40、41の各出力端に反転入力端（-）が接続され、前記第1及び第2の反転増幅信号を加算合成して得られる加算合成信号を反転増幅して出力端からバイアス印加用コイル22の他端側に出力する第3の演算増幅器42とを有している。

- [0103] ここで、第1乃至第3至の演算増幅器40、41、42の各正転入力端（+）は、いずれも基準電位点（アースライン）に接続されている。
- [0104] なお、第1乃至第3の演算増幅器40、41、42の各出力端と各反転入力端（-）との間には、それぞれ、帰還抵抗31c1、31c2、31c3が接続されていると共に、第1及び第2の演算増幅器40、41の各出力端と第3の演算増幅器42の反転入力端（-）及びの出力端とバイアス印加用のコイル22との間には、それぞれ、出力整合用の抵抗31d1、31d2、31d3が接続されている。
- [0105] また、図9に示す合成回路30は、図1の周波数特性補償回路35に代えて、それぞれ第1及び第3の演算増幅器40、42の各反転入力端（-）に接続され、低周波抽出用コイル23の他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記第1及び第3の演算増幅器40、42の利得が大きくなるように周波数特性を補償するための第1及び第2の周波数特性補償回路35a、35bを有している。
- [0106] これらの第1及び第2の周波数特性補償回路35a、35bは、それぞれ、図1に示した第1の実施形態のデジタル信号オフセット調整装置20の周波数特性補償回路35と同様に、合成回路30の第1及び第3の演算増幅器40、42において、それぞれ、各演算増幅器40、42の各反転入力端（-）と基準電位点（アースライン）との間に接続されたコンデンサCc1、Cc2と抵抗Rc1、Rc2との直列回路で構成されている。
- [0107] すなわち、低周波抽出用コイル23から出力される信号を第1の演算増幅器40により反転増幅し、直流電圧発生器25からの直流信号Ddcを第2の演算増幅器41により反転増幅し、第1及び第2の演算増幅器40、41の各出力端からの第1及び第2の反転増幅信号の合成加算信号を第3の演算増幅器42で反転増幅することにより、第3

の演算増幅器42の出力端からバイアス印加用コイル22の他端側に向けて第1及び第2の反転増幅信号の加算合成信号を出力することができる。

[0108] この場合、図9の合成回路30の出力信号 V_o は、該合成回路30の図1のそれと同様な条件にあるものとすれば、

$$V_o = D_b + Vd/2$$

となる。

[0109] ここで、低周波成分 D_b が、直流分 Vdc と交流分 Vac との和とすれば、出力信号 V_o は、

$$V_o = Vac + (Vdc + Vd/2)$$

となる。

[0110] この出力信号 V_o は、バイアス印加用コイル22を介して、コンデンサ21の他端側、すなわち、出力端子20bに入力される。

[0111] したがって、出力端子20bから出力されるデジタル信号 D' は、

$$D' = D_a + V_o = (D_a + Vac) + (Vdc + Vd/2)$$

となる。

[0112] 上式で $(D_a + Vac)$ は交流成分、 $(Vdc + Vd/2)$ は直流成分であるから、その直流成分 $(Vdc + Vd/2)$ が出力端子20bにおいて所望値となるように、直流電圧発生器25の出力電圧 Vd をバイアス電圧設定部26によって可変調整して設定することにより、デジタル信号 D' に所望のバイアス電圧を与えること、すなわち、デジタル信号 D' のオフセットを所望の値に調整することができる。

[0113] 一方、高周波成分 D_a と低周波成分 D_b の交流分 Vac の周波数範囲は、コンデンサ21の容量 C と、バイアス印加用コイル22及び低周波抽出用コイル23のインダクタンス L とによって決定される。

[0114] この場合、高周波成分 D_a の周波数範囲の下限周波数と、低周波成分 D_b の交流成分 Vac の上限周波数とがほぼ一致するように、コンデンサ21の容量 C とバイアス印加用コイル22及び低周波抽出用コイル23のインダクタンス L の値が設定されている。

[0115] そして、合成回路30に設けられている第1及び第2の周波数特性補償回路35a、35bは、それぞれ、図1に示した周波数特性補償回路35と同様に、第1及び第3の演

算増幅器40、42において、低周波抽出用コイル23から出力される信号及び第1の演算増幅器40からの第1の反転増幅信号に対してその周波数が高くなるほど利得が大きくなるように周波数特性を補償するようにしている。

[0116] このように構成された図9の第1及び第2の周波数特性補償回路35a、35bは、それぞれ、図6の周波数特性補償回路35' と同様に、各演算増幅器40、42の利得上昇とバイアス印加用コイル22及び低周波抽出用コイル23のインダクタンスLによる信号減衰(利得低下)とにより、交流分Vacの上限近傍の周波数帯域の利得を大きくする(ピーキング効果)作用がある。

[0117] (第5の実施形態)
図10は、本発明の第5の実施形態によるデジタル信号オフセット調整装置20の回路構成を示している。

[0118] 図10において、前述の図9に示した第4の実施形態のデジタル信号オフセット調整装置20と同一の回路構成部分については、同一の参照符号を用いてそれらの説明を省略するものとする。

[0119] すなわち、図10に示す本発明の第5の実施形態のデジタル信号オフセット調整装置20においては、第1及び第2の周波数特性補償回路35a'、35b' が、前述の図9に示した第4の実施形態のデジタル信号オフセット調整装置20の第1及び第2の周波数特性補償回路35a、35bの構成と異なっている。

[0120] 前述の図9に示した第4の実施形態のデジタル信号オフセット調整装置20の第1及び第2の周波数特性補償回路35a、35bは、それぞれ、合成回路30の第1及び第3の演算増幅器40、42において、各演算増幅器41、42の各反転入力端(−)と基準電位点(アースライン)の間に接続されたコンデンサC₀₁、C₀₂と抵抗R₀₁、R₀₂との直列回路で構成されている場合である。

[0121] これに対し、図10に示す第5の実施形態のデジタル信号オフセット調整装置20においては、第1及び第2の周波数特性補償回路35a'、35b' が、合成回路30の第1及び第3の演算増幅器40、42において、それぞれ、各演算増幅器40、42の出力端と反転入力端(−)との間に接続されているコイルL_{c1}、L_{c2}と抵抗R_{c1}、R_{c2}との直列回路で構成されている。

[0122] すなわち、図10の第1及び第2の周波数特性補償回路35a'、35b'は、それぞれ、図1に示した周波数特性補償回路35と同様に、第1及び第3の演算増幅器4Q、42において、低周波抽出用コイル23から出力される信号及び第1の演算増幅器4Qからの第1の反転増幅信号に対してその周波数が高くなるほど利得が大きくなるように周波数特性を補償するようしている。

[0123] このように構成された図10の第1及び第2の周波数特性補償回路35a'、35b'は、それぞれ、図6の周波数特性補償回路35' と同様に、各演算増幅器4Q、42の利得上昇とバイアス印加用コイル22及び低周波抽出用コイル23のインダクタンスLによる信号減衰(仰角低下)とにより、交流分Vacの上限近傍の周波数帯域の利得を大きくする(ピーキング効果)作用がある。

[0124] (第6の実施形態)

図11は、本発明の第6の実施形態によるデジタル信号オフセット調整装置20の回路構成を示している。

[0125] 図Ⅳにおいて、前述の図10に示した第5の実施形態のデジタル信号オフセット調整装置20と同一の回路構成部分については、同一の参照符号を用いてそれらの説明を省略するものとする。

[0126] すなわち、図Ⅳに示す本発明の第6の実施形態のデジタル信号オフセット調整装置20においては、第1及び第2の周波数特性補償回路35a'、35b'が前述の図10に示した第5の実施形態のデジタル信号オフセット調整装置20の第1及び第2の周波数特性補償回路35a'、35b'の構成と異なっている。

[0127] 前述の図10に示した第5の実施形態のデジタル信号オフセット調整装置20では、第1及び第2の周波数特性補償回路35a'、35b'が、合成回路30の第1及び第3の演算増幅器4Q、42において、それぞれ、各演算増幅器4Q、42の出力端と反転入力端(-)との間に接続されているコイルL_{o1}、L_{o2}と抵抗R_{o1}、R_{o2}との直列回路で構成されている場合である。

[0128] これに対して、図Ⅳに示す第6の実施形態のデジタル信号オフセット調整装置20においては、が、前述の図10に示した第1及び第2の周波数特性補償回路35a'、35b'の抵抗R_{o1}、R_{o2}によって各演算増幅器4Q、42の各帰還抵抗31_{o1}、31_{o3}

を兼用し、各抵抗 R_{o1} 、 R_{o2} と各演算増幅器 4 Q、42 の反転入力端 (−) との間にコイル L_{o1} 、 L_{o2} を直列に挿入して構成されている。

[0129] すなわち、図Ⅳの第1及び第2の周波数特性補償回路 $35a'$ 、 $35b'$ は、それぞれ、図1に示した周波数特性補償回路 35 と同様に、第1及び第3の演算増幅器 4 Q、42において、低周波抽出用コイル 23 から出力される信号及び第1の演算増幅器 40 からの第1の反転増幅信号に対してその周波数が高くなるほど利得が大きくなるように周波数特性を補償するようにしている。

[0130] このように構成された図Ⅳの第1及び第2の周波数特性補償回路 $35a'$ 、 $35b'$ 、は、図6の周波数特性補償回路 $35'$ と同様に、各演算増幅器 4 Q、42 の利得上昇とバイアス印加用コイル 22 及び低周波抽出用コイル 23 のインダクタンス L による信号減衰(利得低下)とにより、交流分 V_{ac} の上限近傍の周波数帯域の利得を大きくする(ピーキング効果)作用がある。

[0131] したがって、以上のような本発明の第1乃至6の実施形態によれば、従来技術による問題点を解消して、例えば、数 100Hz から 5GHz 帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができるデジタル信号オフセット調整装置を提供することが可能となる。

[0132] (第7の実施形態)

図12は、前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置20を用いる本発明による第7の実施形態のパルスパターンジェネレータ100の回路構成を示している。

[0133] この図12に示す本発明による第7の実施形態のパルスパターンジェネレータ100は、基本的には、低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジタル信号であって、同一パットデータが連続するようなデータパターンを含む所望のパルスパターンのデジタル信号を出力するデジタル信号出力部101と、デジタル信号出力部101に接続されるデジタル信号オフセット調整装置20とから構成されている。

[0134] そして、デジタル信号オフセット調整装置20が、デジタル信号出力部101から出力される低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する

所望のパルスパターンのデジタル信号が入力デジタル信号として人力される入力端子20aと、所望の直流バイアス電圧を出力する直流電圧発生器25と、入力端子20aに入力される入力デジタル信号の低周波成分、直流成分及び高周波成分に直流電圧発生器25から出力される直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子20bと、入力端子20aと出力端子20bとの間に接続され、入力端子20aに入力される入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサ21と、入力端子20aに一端側が接続され、入力デジタル信号の低周波成分及び直流成分を他端側に通過させる第1のコイル23と、出力端子20bに一端側が接続される第2のコイル22と、第1のコイル23の他端側に第1の入力端が接続され、直流電圧発生器25に第2の入力端が接続され、第2のコイル22の他端側に出力端が接続され、第1及び第2の入力端に入力される第1のコイル23の前記他端側に通過される入力デジタル信号の低周波成分及び直流成分と直流電圧発生器25から出力される直流バイアス電圧とを合成して得られる合成信号を出力端から第2のコイル22の他端側を介して出力端子20bに出力する演算增幅器31aと、演算增幅器31aの前記第2の入力端と前記基準電位点(アースライン)との間または該第2の入力端と出力端との間に接続され、第1のコイルの他端側に通過される前記入力デジタル信号の低周波成分のうち周波数が高い成分ほど演算增幅器31aの利得が大きくなるように周波数特性を補償するための周波数特性補償回路35とを有する。

[0135] 具体的には、図12に示しているように、この第7の実施形態のパルスパターンジェネレータ100は、デジタル信号出力部101と、このデジタル信号出力部101によって出力されるデジタル信号のパルスパターンを指定するパルスパターン指定部102と、前記デジタル信号出力部101によって出力されるデジタル信号のオフセットを調整する前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置20とから構成されている。

[0136] 図12において、前述の図1に示した第1の実施形態のデジタル信号オフセット調整装置20と同一の回路構成部分については、同一の参照符号を用いてそれらの説明を省略するものとする。

[0137] 図12に示すデジタル信号出力部101は、例えば、アンリツ株式会社製MP1761C

パルスパターンジェネレータ等に搭載されているデジタル信号出力部として、通信システムに用いる各種装置の試験などをを行う場合に用いられるデジタル信号として低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジタル信号であって、同一 ピットデータが連続するようなデータパターンを含む所定のランダムパターンのデジタル信号を始めとした8Mビット長(STM-64／STM-192の6フレームに相当)のプログラムパターン、 2^7-1 から 2^3-1 までのPRBSパターン、オルタネートパターン、ゼロ挿入パターン等の各種のパターンのデジタル信号をパルスパターン指定部102によるパルスパターンの指定に応じて出力することが可能に構成されている。

[0138] このデジタル信号出力部101の出力端に接続されるデジタル信号オフセット調整装置20には、該デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力デジタル信号として人力される。

[0139] すなわち、図12に示す本発明の第7の実施形態のパルスパターンジェネレータ100は、デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力端子20aに入力デジタル信号として人力されるデジタル信号オフセット調整装置20によって、前述した第1の実施形態のデジタル信号オフセット調整装置20の場合と同様にして、例えば、直流成分及び数100Hから5GH帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができるので、デジタル通信システムに用いる各種装置の試験などを適切に行うことができる。

[0140] (第8の実施形態)

図13は、前述の図6に示した第2の実施形態のデジタル信号オフセット調整装置20を用いる本発明による第8の実施形態のパルスパターンジェネレータ100の回路構成を示している。

[0141] 図13において、前述の図6に示した第2の実施形態のデジタル信号オフセット調整

装置20及び前述の図12に示した第7の実施形態のパルスパターンジェネレータ100と同一の回路構成部分については、それぞれ、同一の参照符号を用いてそれらの説明を省略するものとする。

[0142] 図13に示す本発明による第8の実施形態のパルスパターンジェネレータ100によっても、前述の図12に示した本発明の第7の実施形態のパルスパターンジェネレータ100と同様に、デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力端子20aに入力デジタル信号として人力されるデジタル信号オフセット調整装置20によって、前述した第2の実施形態のデジタル信号オフセット調整装置20の場合と同様にして、例えば、直流成分及び数100HzからGHz帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができる、デジタル通信システムに用いる各種装置の試験などを適切に行うことができる。

[0143] (第9の実施形態)

図14は、前述の図8に示した第3の実施形態のデジタル信号オフセット調整装置20を用いる本発明による第9の実施形態のパルスパターンジェネレータ100の回路構成を示している。

[0144] 図14において、前述の図8に示した第3の実施形態のデジタル信号オフセット調整装置20及び前述の図12に示した第7の実施形態のパルスパターンジェネレータ100と同一の回路構成部分については、それぞれ、同一の参照符号を用いてそれらの説明を省略するものとする。

[0145] 図14に示す本発明による第9の実施形態のパルスパターンジェネレータ100によっても、前述の図12に示した本発明の第7の実施形態のパルスパターンジェネレータ100と同様に、デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力端子20aに入力デジタル信号として人力されるデジタル信号オフセット調整装置20

によって、前述した第3の実施形態のデジタル信号オフセット調整装置20の場合と同様にして、例えば、直流成分及び数100HzからGHz帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができる、デジタル通信システムに用いる各種装置の試験などを適切に行うことができる。

[0146] (第10の実施形態)

図15は、前述の図9に示した第4の実施形態のデジタル信号オフセット調整装置20を用いる本発明による第10の実施形態のパルスパターンジェネレータ100の回路構成を示している。

[0147] 図15において、前述の図9に示した第4の実施形態のデジタル信号オフセット調整装置20及び前述の図12に示した第7の実施形態のパルスパターンジェネレータ100と同一の回路構成部分については、それぞれ、同一の参照符号を用いてそれらの説明を省略するものとする。

[0148] 図15に示す本発明による第10の実施形態のパルスパターンジェネレータ100によっても、前述の図12に示した本発明の第7の実施形態のパルスパターンジェネレータ100と同様に、デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力端子20aに入力デジタル信号として人力されるデジタル信号オフセット調整装置20によって、前述した第4の実施形態のデジタル信号オフセット調整装置20の場合と同様にして、例えば、直流成分及び数100HzからGHz帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができる、デジタル通信システムに用いる各種装置の試験などを適切に行うことができる。

[0149] (第Ⅲの実施形態)

図16は、前述の図10に示した第5の実施形態のデジタル信号オフセット調整装置20を用いる本発明による第Ⅲの実施形態のパルスパターンジェネレータ100の回路構成を示している。

[0150] 図16において、前述の図10に示した第5の実施形態のデジタル信号オフセット調整装置20及び前述の図12に示した第7の実施形態のパルスパターンジェネレータ100と同一の回路構成部分については、それぞれ、同一の参照符号を用いてそれらの説明を省略するものとする。

[0151] 図16に示す本発明による第Ⅲの実施形態のパルスパターンジェネレータ100によっても、前述の図12に示した本発明の第7の実施形態のパルスパターンジェネレータ100と同様に、デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力端子20aに入力デジタル信号として人力されるデジタル信号オフセット調整装置20によって、前述した第5の実施形態のデジタル信号オフセット調整装置20の場合と同様にして、例えば、直流成分及び数100Hzから5GHz帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができる。デジタル通信システムに用いる各種装置の試験などを適切に行うことができる。

[0152] (第12の実施形態)

図17は、前述の図Ⅲに示した第6の実施形態のデジタル信号オフセット調整装置20を用いる本発明による第12の実施形態のパルスパターンジェネレータ100の回路構成を示している。

[0153] 図17において、前述の図Ⅲに示した第6の実施形態のデジタル信号オフセット調整装置20及び前述の図12に示した第7の実施形態のパルスパターンジェネレータ100と同一の回路構成部分については、それぞれ、同一の参照符号を用いてそれらの説明を省略するものとする。

[0154] 図17に示す本発明による第12の実施形態のパルスパターンジェネレータ100によっても、前述の図12に示した本発明の第7の実施形態のパルスパターンジェネレータ100と同様に、デジタル信号出力部101からパルスパターン指定部102によるパルスパターンの指定に応じて出力される低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力端子

2 Qa に入力デジタル信号として人力されるデジタル信号オフセット調整装置20によつて、前述した第6の実施形態のデジタル信号オフセット調整装置20の場合と同様にして、例えば、直流成分及び数100HzからGHz帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達することができるるので、デジタル通信システムに用いる各種装置の試験などを適切に行うことができる。

[0155] したがって、以上のような本発明の第1乃至6の実施形態のデジタル信号オフセット調整装置20を用いた本発明の第7乃至12の実施形態のパルスパターンジェネレータ100によれば、従来技術による問題点を解消して、例えば、数100HzからGHz帯の低周波数成分から高周波成分を含む広帯域なデジタル信号を波形歪みを生じることなく正しく伝達してデジタル通信システムに用いる各種装置の試験などを適切に行うことができるパルスパターンジェネレータを提供することが可能となる。

産業上の利用可能 性

[0156] 以上のように、本発明によるデジタル信号オフセット調整装置によれば、デジタル通信システムに用いる各種装置の試験などを~~行~~デジタル信号として人力端子に入力されたデジタル信号に含まれる周波数成分のうち、コンデンサを通過できない低周波成分及び直流成分を低周波抽出用コイルにより抽出してバイアス用の直流信号と合成してバイアス印加用コイルを介して出力端子に供給する際に特定周波数領域における利得低下を補償するよう~~行~~しているので、従来のように大容量のコンデンサや大きなインダクタンスのコイルを用いることなく、入力デジタル信号の各周波数成分を一様に出力端子に伝達することができ、歪みの少ない広帯域な波形伝達が可能となると共に、デジタル信号オフセット調整装置全体として安価に~~行~~することができる~~れづ~~効果を有する。

[0157] また、上記のようなデジタル信号オフセット調整装置を用いるパルスパターンジェネレータによれば、デジタル通信システムに用いる各種装置の試験などを適切に行~~元~~とができる~~れづ~~効果を有する。

[0158] したがって、本発明によるデジタル信号オフセット調整装置及びそれを用いるパルスパターンジェネレータは、通信装置等を試験するためのデジタル信号のオフセット

調整装置及びそれを用いるパルスパターンジェネレータとして有用である。

請求の範囲

[1] 低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する入力デジタル信号が入力される入力端子と、
所望の直流バイアス電圧を出力する直流電圧発生器と、
前記入力端子に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子と、
前記入力端子と前記出力端子との間に接続され、前記入力端子に入力される前記入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサと、
前記入力端子に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイルと、
前記出力端子に一端側が接続される第2のコイルと、
前記第1のコイルの前記他端側に第1の入力端が接続され、前記直流電圧発生器に第2の入力端が接続され、前記第2のコイルの他端側に出力端が接続され、前記第1及び第2の入力端に入力される前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記直流電圧発生器から出力される前記直流バイアス電圧とを合成して得られる合成信号を前記出力端から前記第2のコイルの前記他端側を介して前記出力端子に出力する演算增幅器と、
前記演算增幅器の前記第2の入力端と基準電位点との間または該第2の入力端と前記出力端との間に接続され、前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記演算增幅器の利得が大きくなるように周波数特性を補償するための周波数特性補償回路と、
を具備するデジタル信号オフセット調整装置。

[2] 前記演算增幅器の前記第1及び第2の入力端がそれぞれ非反転入力端及び反転入力端であるとき、
前記演算增幅器の前記非反転入力端と前記基準電位点との間には所定の値を有する入力整合用の抵抗が接続され、

前記演算増幅器の前記出力端と前記反転入力端との間には帰還抵抗が接続され

前記演算増幅器の前記出力端と前記第2のコイルの前記他端側との間には所定の値を有する出力整合用の抵抗が接続され、

前記演算増幅器の前記反転入力端と前記直流電圧発生器との間には所定の値を有する直流入力用の抵抗が接続されていることにより、

前記演算増幅器の前記反転入力端に入力される前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記演算増幅器の前記非反転入力端に入力される前記直流電圧発生器からの前記直流バイアス電圧とを前記演算増幅器で減算合成して得られる減算合成信号を前記演算増幅器の前記出力端から前記第2のコイルの前記他端側を介して前記出力端子に出力することを特徴とする請求項1に記載のデジタル信号オフセット調整装置。

[3] 前記演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記演算増幅器の前記出力端と前記反転入力端との間に接続される前記帰還抵抗の値と等しい値を有していると共に、

前記周波数特性補償回路が、前記演算増幅器の前記反転入力端と前記基準電位点との間に直列に接続されたコンデンサと抵抗により構成されていることを特徴とする請求項2に記載のデジタル信号オフセット調整装置。

[4] 前記周波数特性補償回路が、前記演算増幅器の前記出力端と前記反転入力端との間に接続されたコイルと抵抗との直列回路で構成されていると共に、

前記演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記演算増幅器の前記帰還抵抗と前記周波数特性補償回路の前記抵抗との並列合成抵抗値と等しい値を有していることを特徴とする請求項2に記載のデジタル信号オフセット調整装置。

[5] 前記周波数特性補償回路が、当該周波数特性補償回路の前記抵抗によって前記演算増幅器の前記出力端と前記反転入力端との間に接続されている前記帰還抵抗を兼用し、前記帰還抵抗を兼用する前記抵抗と前記反転入力端の間に直列に接続されているコイルとで構成されていると共に、

前記演算増幅器の前記帰還抵抗を兼用する前記周波数特性補償回路の前記抵抗の抵抗値が前記直流電圧発生器からの前記直流入力抵抗の抵抗値と等しくなるように設定されていることを特徴とする請求項4に記載のデジタル信号オフセット調整装置。

- [6] 低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する入力デジタル信号が入力される入力端子と、
所望の直流バイアス電圧を出力する直流電圧発生器と、
前記入力端子に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子と、
前記入力端子と前記出力端子との間に接続され、前記入力端子に入力される前記入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサと、
前記入力端子に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイルと、
前記出力端子に一端側が接続される第2のコイルと、
前記第1のコイルの前記他端側に第1の入力端が接続され、基準電位点に第2の入力端が接続され、前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分とを反転増幅して得られる第1の反転増幅信号を出力端から出力する第1の演算増幅器と、
前記直流電圧発生器に第1の入力端が接続され、前記基準電位点に第2の入力端が接続され、前記直流電圧発生器から出力される前記直流バイアス電圧を反転増幅して得られる第2の反転増幅信号を出力端から出力する第2の演算増幅器と、
前記第1及び第2の演算増幅器の各出力端に第1の入力端が共通に接続され、前記基準電位点に第2の入力端が接続され、前記第1及び第2の反転増幅信号を合成して得られる合成信号を反転増幅して出力端から前記第2のコイルの前記他端側に出力する第3の演算増幅器と、
それぞれ、前記第1及び第3の演算増幅器の各第1の入力端と前記基準電位点との間または前記第1及び第3の演算増幅器の各第1の入力端と各出力端との間に接

続され、前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記第1及び第3の演算増幅器の利得が大きくなるように周波数特性を補償するための第1及び第2の周波数特性補償回路と、
、
を具備するデジタル信号オフセット調整装置。

[7] 前記第1乃至第3の演算増幅器の前記第1及び第2の入力端が、それぞれ、反転入力端及び非反転入力端であるとき、
、
それぞれ、前記第1乃至第3の演算増幅器の各非反転入力端が前記基準電位点に接続され、
、
前記第1の演算増幅器の前記反転入力端と前記基準電位点との間には所定の値を有する入力整合用の抵抗が接続され、
、
前記第1乃至第3の演算増幅器の各出力端と各反転入力端との間には、それぞれ、第1乃至第3の帰還抵抗が接続され、
、
前記第2の演算増幅器の前記反転入力端と前記直流電圧発生器との間には所定の値を有する直流入力用の抵抗が接続され、
、
前記第1及び第2の演算増幅器の各出力端と前記第3の演算増幅器の前記反転入力端との間には、それぞれ、所定の値を有する第1及び第2の出力整合用の抵抗が接続され、
、
前記第3の演算増幅器の前記出力端と前記第2のコイルの前記他端側との間には前記所定の値を有する第3の出力整合用の抵抗が接続されていることにより、
、
前記第1及び第2の演算増幅器の各出力端から出力される前記第1及び第2の反転増幅信号を加算合成して得られる加算合成信号を反転増幅する前記第3の演算増幅器の前記出力端から前記第2のコイルの前記他端側を介して前記出力端子に出力することを特徴とする請求項6に記載のデジタル信号オフセット調整装置。

[8] 前記第2の演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記第2の演算増幅器の前記出力端と前記反転入力端との間に接続される前記第2の帰還抵抗の値と等しい値を有していると共に、

前記第1及び第2の周波数特性補償回路が、前記第1及び第3の演算増幅器の各反転入力端と前記基準電位点との間に、それぞれ、直列に接続されたコンデンサと抵抗とにより構成されていることを特徴とする請求項7に記載のデジタル信号オフセット調整装置。

[9] 前記第2の演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記第2の演算増幅器の前記出力端と前記反転入力端との間に接続される前記第2の帰還抵抗の値と等しい値を有していると共に、

前記第1及び第2の周波数特性補償回路が、それぞれ、前記第1及び第3の演算増幅器の各出力端と各反転入力端との間に接続されたコイルと抵抗との直列回路で構成されていることを特徴とする請求項7に記載のデジタル信号オフセット調整装置。

[10] 前記第1及び第2の周波数特性補償回路が、それぞれ、当該第1及び第2の周波数特性補償回路の各抵抗によって前記第1及び第3の演算増幅器の各出力端と各反転入力端との間に接続されている前記第1及び第3の帰還抵抗を兼用し、前記第1及び第3の帰還抵抗を兼用する前記各抵抗と前記第1及び第3の演算増幅器の各反転入力端との間に直列に接続されているコイルとで構成されていることを特徴とする請求項9に記載のデジタル信号オフセット調整装置。

[11] 低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジタル信号であって、同一ビットデータが連続するようなデータパターンを含む所望のパルスパターンのデジタル信号を出力するデジタル信号出力部と、

前記デジタル信号出力部に接続されるデジタル信号オフセット調整装置とを具備し、

前記デジタル信号オフセット調整装置が、

前記デジタル信号出力部から出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力デジタル信号として入力される入力端子と、

所望の直流バイアス電圧を出力する直流電圧発生器と、

前記入力端子に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子と、

前記入力端子と前記出力端子との間に接続され、前記入力端子に入力される前記入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサと、

前記入力端子に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイルと、

前記出力端子に一端側が接続される第2のコイルと、

前記第1のコイルの前記他端側に第1の入力端が接続され、前記直流電圧発生器に第2の入力端が接続され、前記第2のコイルの他端側に出力端が接続され、前記第1及び第2の入力端に入力される前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記直流電圧発生器から出力される前記直流バイアス電圧とを合成して得られる合成信号を前記出力端から前記第2のコイルの前記他端側を介して前記出力端子に出力する演算増幅器と

、
前記演算増幅器の前記第2の入力端と基準電位点との間または該第2の入力端と前記出力端との間に接続され、前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記演算増幅器の利得が大きくなるように周波数特性を補償するための周波数特性補償回路と、
を具備するパルスパターンジェネレータ。

[12] 前記デジタル信号オフセット調整装置の前記演算増幅器の前記第1及び第2の入力端が、それぞれ、非反転入力端及び反転入力端であるとき、

前記演算増幅器の前記非反転入力端と基準電位点との間には所定の値を有する入力整合用の抵抗が接続され、

前記演算増幅器の前記出力端と前記反転入力端との間には帰還抵抗が接続され

、
前記演算増幅器の前記出力端と前記第2のコイルの前記他端側との間には所定の値を有する出力整合用の抵抗が接続され、

前記演算増幅器の前記反転入力端と前記直流電圧発生器との間には所定の値を有する直流入力用の抵抗が接続されていることにより、

前記演算増幅器の前記非反転入力端に入力される前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分と前記演算増幅器の前記反転入力端に入力される前記直流電圧発生器からの前記直流バイアス電圧とを前記演算増幅器で減算合成して得られる減算合成信号を前記演算増幅器の前記出力端から前記第2のコイルの前記他端側を介して前記出力端子に出力することを特徴とする請求項3に記載のパルスパターンジェネレータ。

[13] 前記演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記演算増幅器の前記出力端と前記反転入力端との間に接続される前記帰還抵抗の値と等しい値を有していると共に、

前記周波数特性補償回路が、前記演算増幅器の前記反転入力端と前記基準電位点との間に直列に接続されたコンデンサと抵抗により構成されていることを特徴とする請求項12に記載のパルスパターンジェネレータ。

[14] 前記周波数特性補償回路が、前記演算増幅器の前記出力端と前記反転入力端との間に接続されたコイルと抵抗との直列回路で構成されていると共に、

前記演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記演算増幅器の前記帰還抵抗と前記周波数特性補償回路の前記抵抗との並列合成抵抗値と等しい値を有していることを特徴とする請求項12に記載のパルスパターンジェネレータ。

[15] 前記周波数特性補償回路が、当該周波数特性補償回路の前記抵抗によって前記演算増幅器の前記出力端と前記反転入力端との間に接続されている前記帰還抵抗を兼用し、前記帰還抵抗を兼用する前記抵抗と前記反転入力端との間に直列に接続されているコイルとで構成されていると共に、

前記演算増幅器の帰還抵抗を兼用する前記周波数特性補償回路の前記抵抗の抵抗値が前記直流電圧発生器からの前記直流入力抵抗の抵抗値と等しくなるように設定されていることを特徴とする請求項14に記載のパルスパターンジェネレータ。

[16] 低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有するデジ

タル信号であって、同一ビットデータが連續するようなデータパターンを含む所望のパルスパターンのデジタル信号を出力するデジタル信号出力部と、
前記デジタル信号出力部に接続されるデジタル信号オフセット調整装置とを具備し

、
前記デジタル信号オフセット調整装置が、

前記デジタル信号出力部から出力される前記低周波成分、直流成分及び高周波成分を含む広帯域な周波数特性を有する所望のパルスパターンのデジタル信号が入力デジタル信号として人力される入力端子と、

所望の直流バイアス電圧を出力する直流電圧発生器と、

前記入力端子に入力される前記入力デジタル信号の前記低周波成分、直流成分及び高周波成分に前記直流電圧発生器から出力される前記直流バイアス電圧が加えられた出力デジタル信号を出力するための出力端子と、

前記入力端子と前記出力端子との間に接続され、前記入力端子に入力される前記入力デジタル信号の高周波成分を前記出力端子に通過させるコンデンサと、

前記入力端子に一端側が接続され、前記入力デジタル信号の前記低周波成分及び直流成分を他端側に通過させる第1のコイルと、

前記出力端子に一端側が接続される第2のコイルと、

前記第1のコイルの前記他端側に第1の入力端が接続され、基準電位点に第2の入力端が接続され、前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分及び前記直流成分とを反転増幅して得られる第1の反転増幅信号を出力端から出力する第1の演算増幅器と、

前記直流電圧発生器に第1の入力端が接続され、前記基準電位点に第2の入力端が接続され、前記直流電圧発生器から出力される前記直流バイアス電圧を反転増幅して得られる第2の反転増幅信号を出力端から出力する第2の演算増幅器と、

前記第1及び第2の演算増幅器の各出力端に第1の入力端が共通に接続され、前記基準電位点に第2の入力端が接続され、前記第1及び第2の反転増幅信号を合成して得られる合成信号を反転増幅して出力端から前記第2のコイルの前記他端側に出力する第3の演算増幅器と、

それぞれ、前記第1及び第3の演算増幅器の各第1の入力端と前記基準電位点との間または前記第1及び第3の演算増幅器の各第1の入力端と各出力端との間に接続され、前記第1のコイルの前記他端側に通過される前記入力デジタル信号の前記低周波成分のうち周波数が高い成分ほど前記第1及び第3の演算増幅器の利得が大きくなるように周波数特性を補償するための第1及び第2の周波数特性補償回路と
、
を具備するパルスパターンジェネレータ。

[17] 前記デジタル信号オフセット調整装置の前記第1乃至第3の演算増幅器の前記第1及び第2の入力端が、それぞれ、反転入力端及び非反転入力端であるとき、
前記第1乃至第3の演算増幅器の各非反転入力端が前記基準電位点に接続され
、
前記第1の演算増幅器の前記反転入力端と前記基準電位点との間には所定の値を有する入力整合用の抵抗が接続され、
前記第1乃至第3の演算増幅器の各出力端と各反転入力端との間には、それぞれ、第1乃至第3の帰還抵抗が接続され、
前記第2の演算増幅器の前記反転入力端と前記直流電圧発生器との間には所定の値を有する直流入力用の抵抗が接続され、
前記第1及び第2の演算増幅器の各出力端と前記第3の演算増幅器の前記反転入力端との間には、それぞれ、所定の値を有する第1及び第2の出力整合用の抵抗が接続され、
前記第3の演算増幅器の前記出力端と前記第2のコイルの前記他端側との間には前記所定の値を有する第3の出力整合用の抵抗が接続されていることにより、
前記第1及び第2の演算増幅器の各出力端から出力される前記第1及び第2の反転増幅信号を加算合成して得られる加算合成信号を反転増幅する前記第3の演算増幅器の前記出力端から前記第2のコイルの前記他端側を介して前記出力端子に出力することを特徴とする請求項16に記載のパルスパターンジェネレータ。
[18] 前記第2の演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記第2の演算増幅器の前記

出力端と前記反転入力端との間に接続される前記第2の帰還抵抗の値と等しい値を有していると共に、

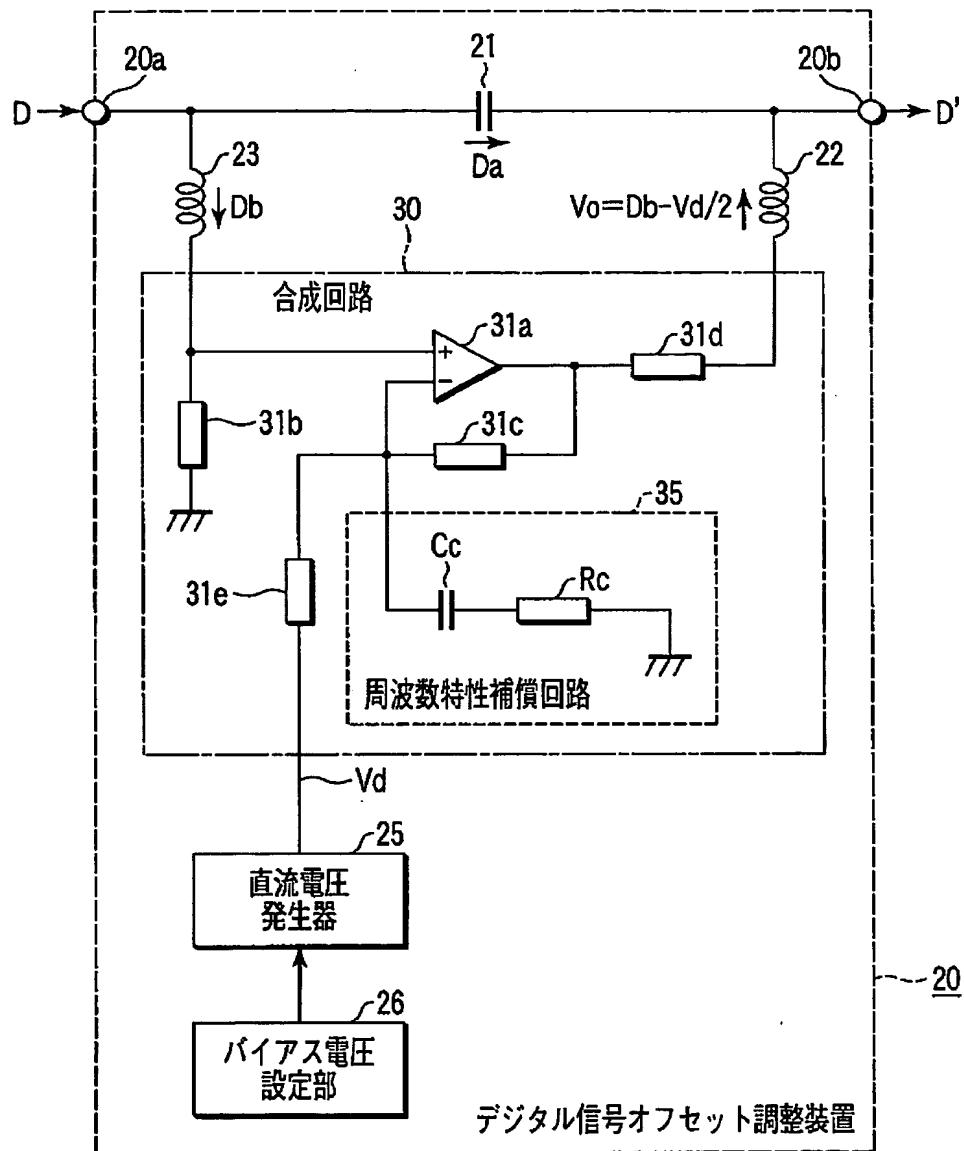
前記第1及び第2の周波数特性補償回路が、前記第1及び第2の演算増幅器の各反転入力端と前記基準電位点との間に、それぞれ、直列に接続されたコンデンサと抵抗とにより構成されていることを特徴とする請求項17に記載のパルスパターンジェネレータ。

[19] 前記第2の演算増幅器の前記反転入力端と前記直流電圧発生器との間に接続される前記直流入力用の抵抗は、前記所定の値として前記第2の演算増幅器の前記出力端と前記反転入力端との間に接続される前記第2の帰還抵抗の値と等しい値を有していると共に、

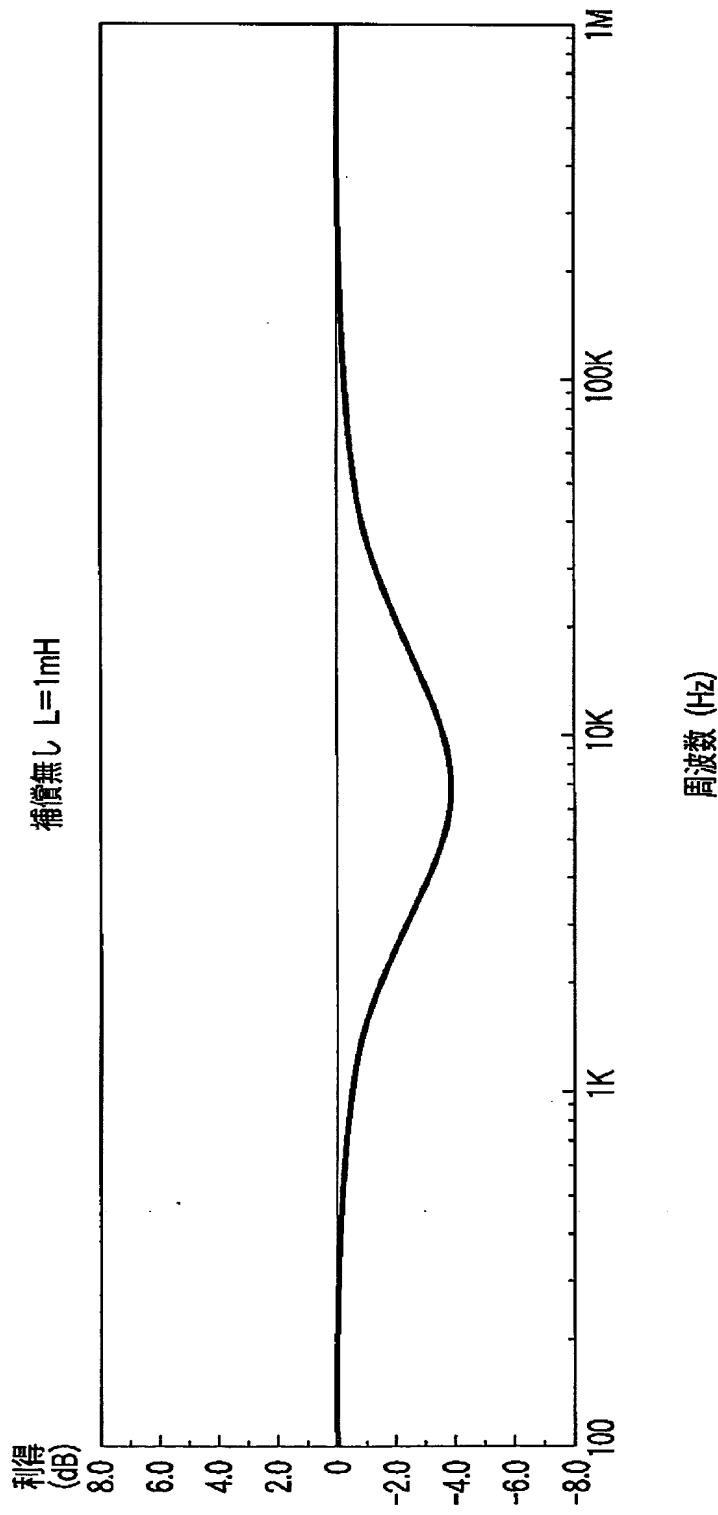
前記第1及び第2の周波数特性補償回路が、それぞれ、前記第1及び第3の演算増幅器の各出力端と各反転入力端との間に接続されたコイルと抵抗との直列回路で構成されていることを特徴とする請求項17に記載のパルスパターンジェネレータ。

[20] 前記第1及び第2の周波数特性補償回路が、それぞれ、当該第1及び第2の周波数特性補償回路の各抵抗によって前記第1及び第3の演算増幅器の各出力端と各反転入力端との間に接続されている前記第1及び第3の帰還抵抗を兼用し、前記第1及び第3の帰還抵抗を兼用する前記各抵抗と前記第1及び第3の演算増幅器の各反転入力端との間に直列に接続されているコイルとで構成されていることを特徴とする請求項19に記載のパルスパターンジェネレータ。

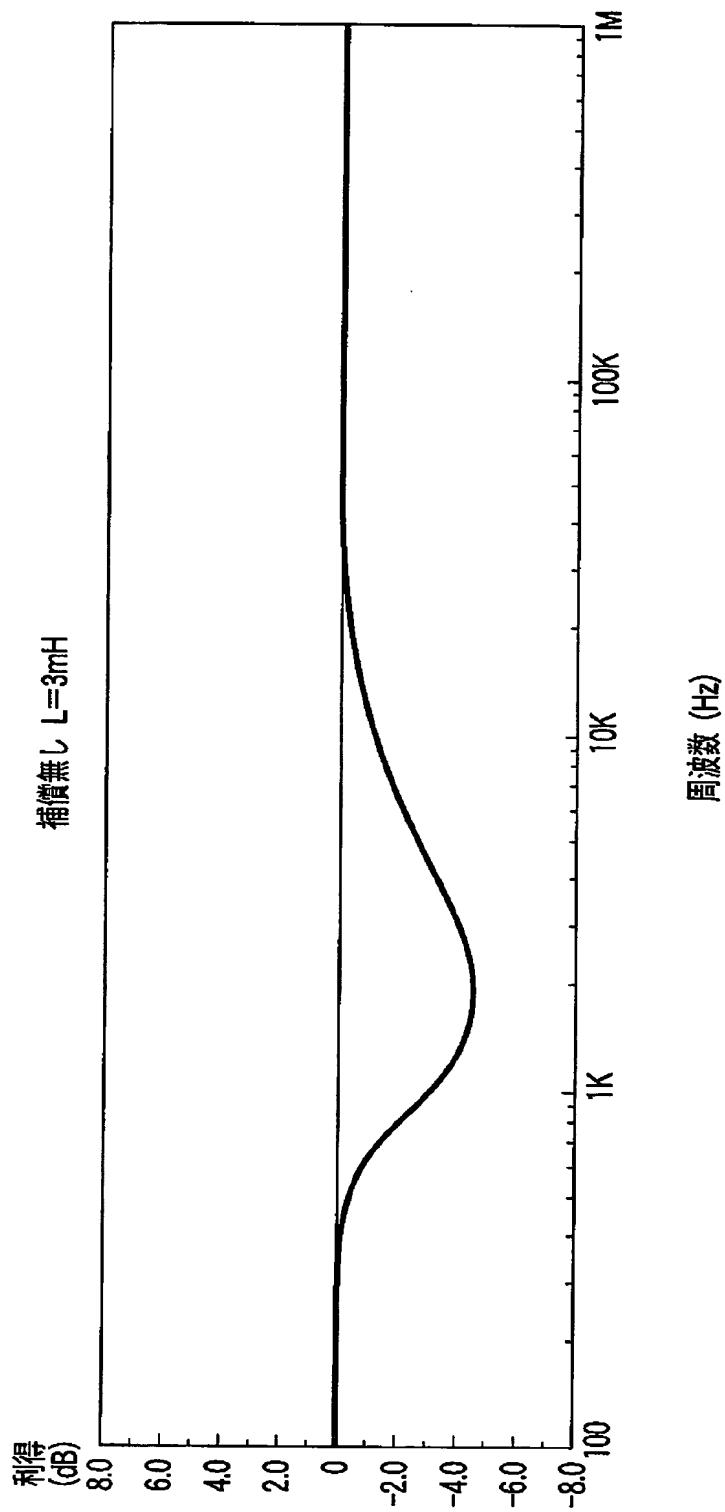
[図1]



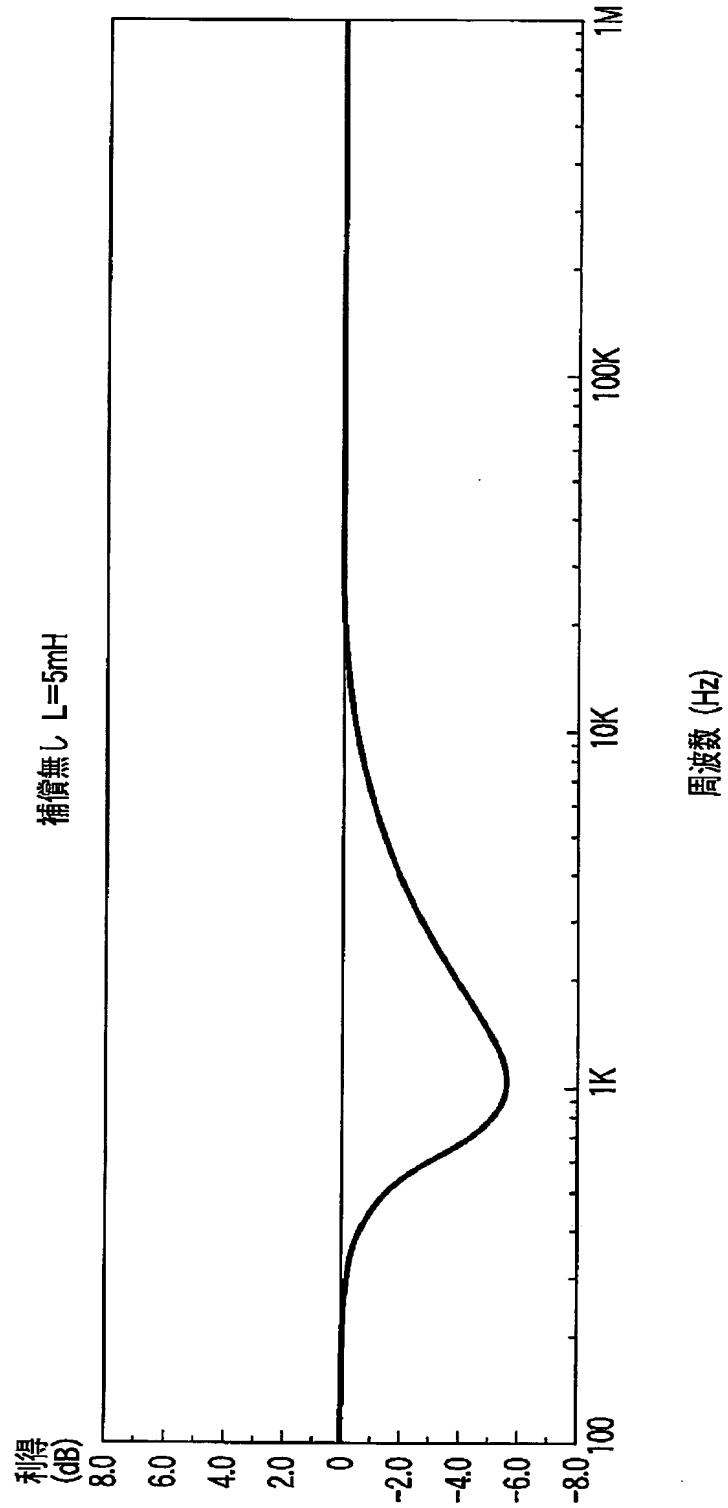
[図2]



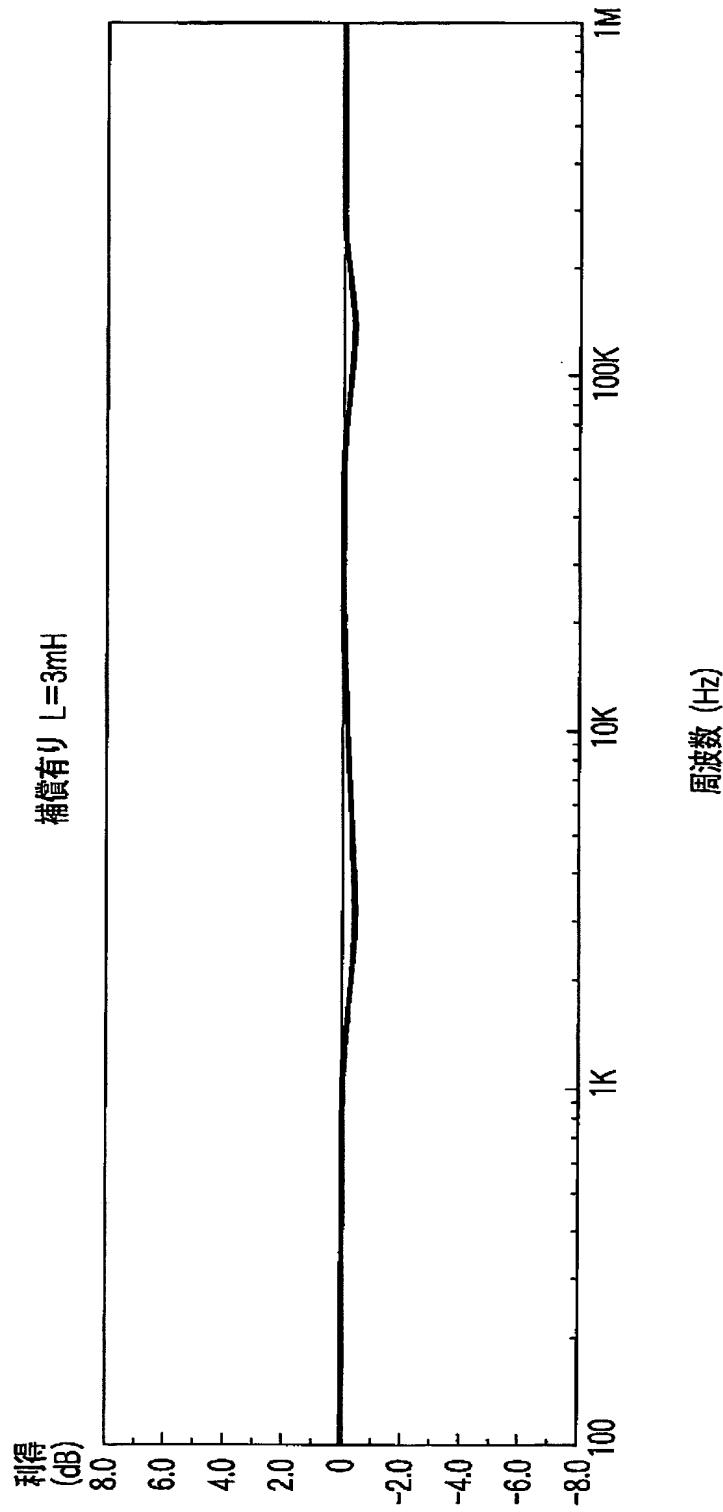
[図3]



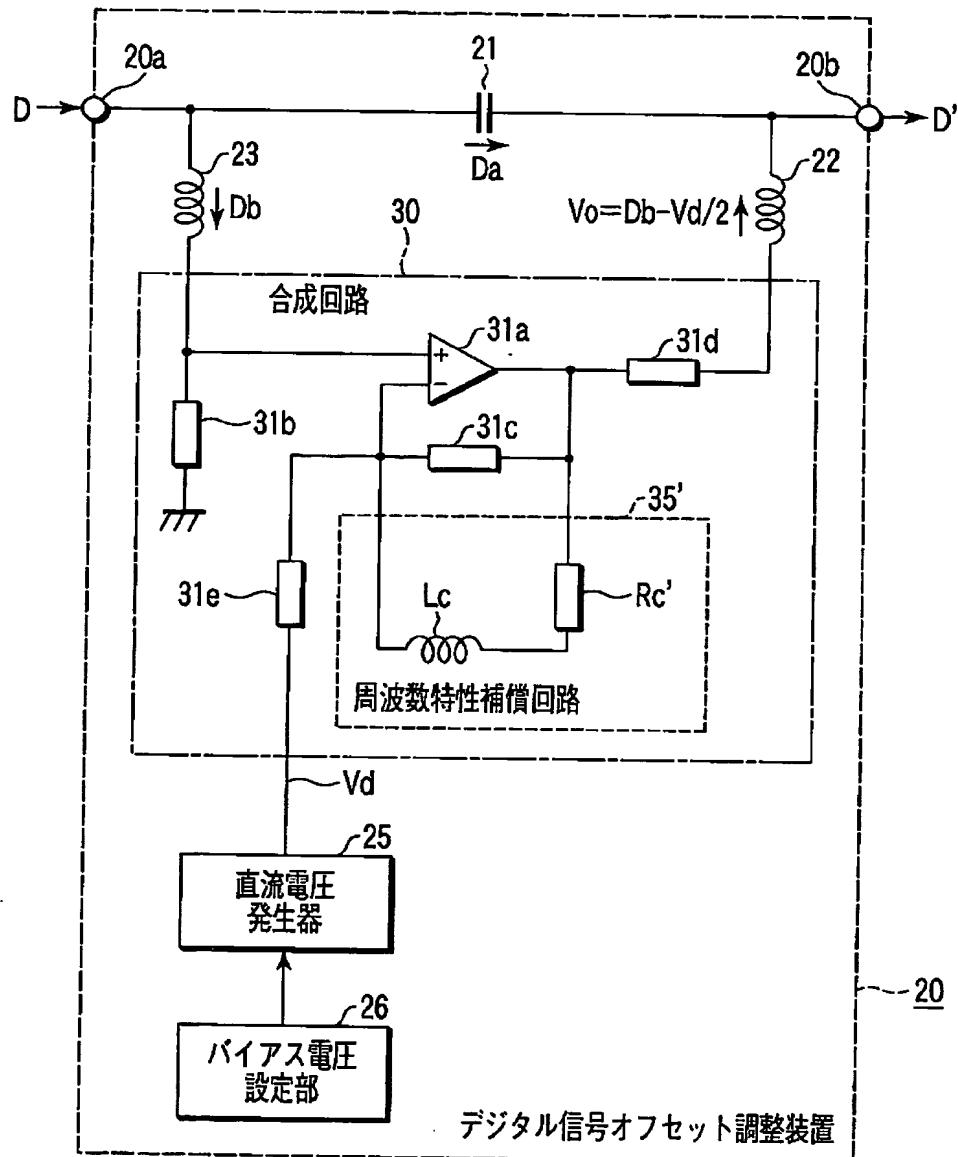
[図4]



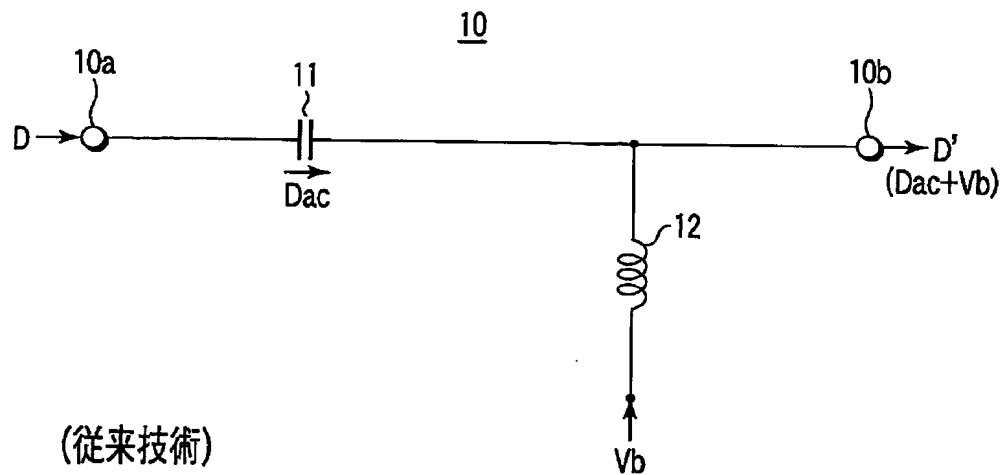
[図5]



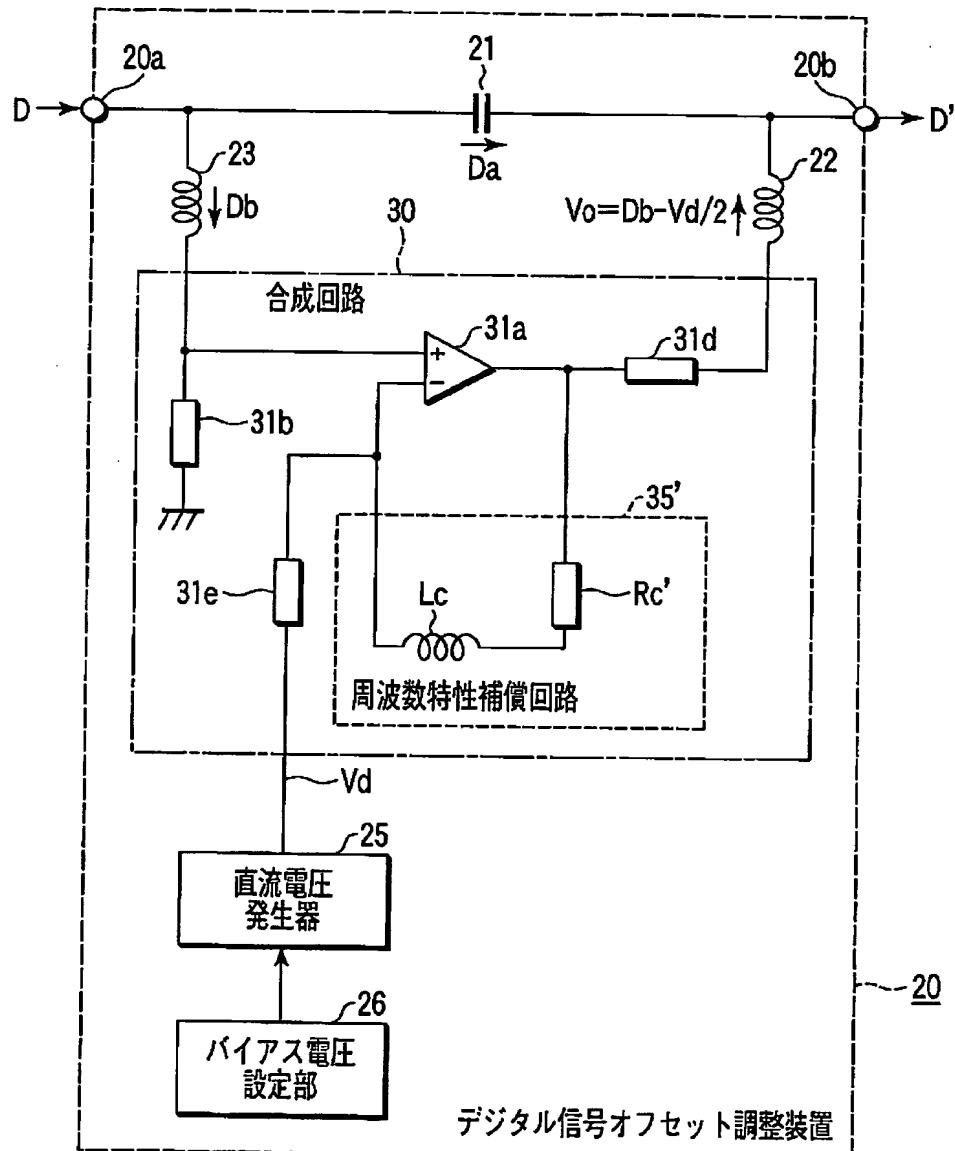
[図6]



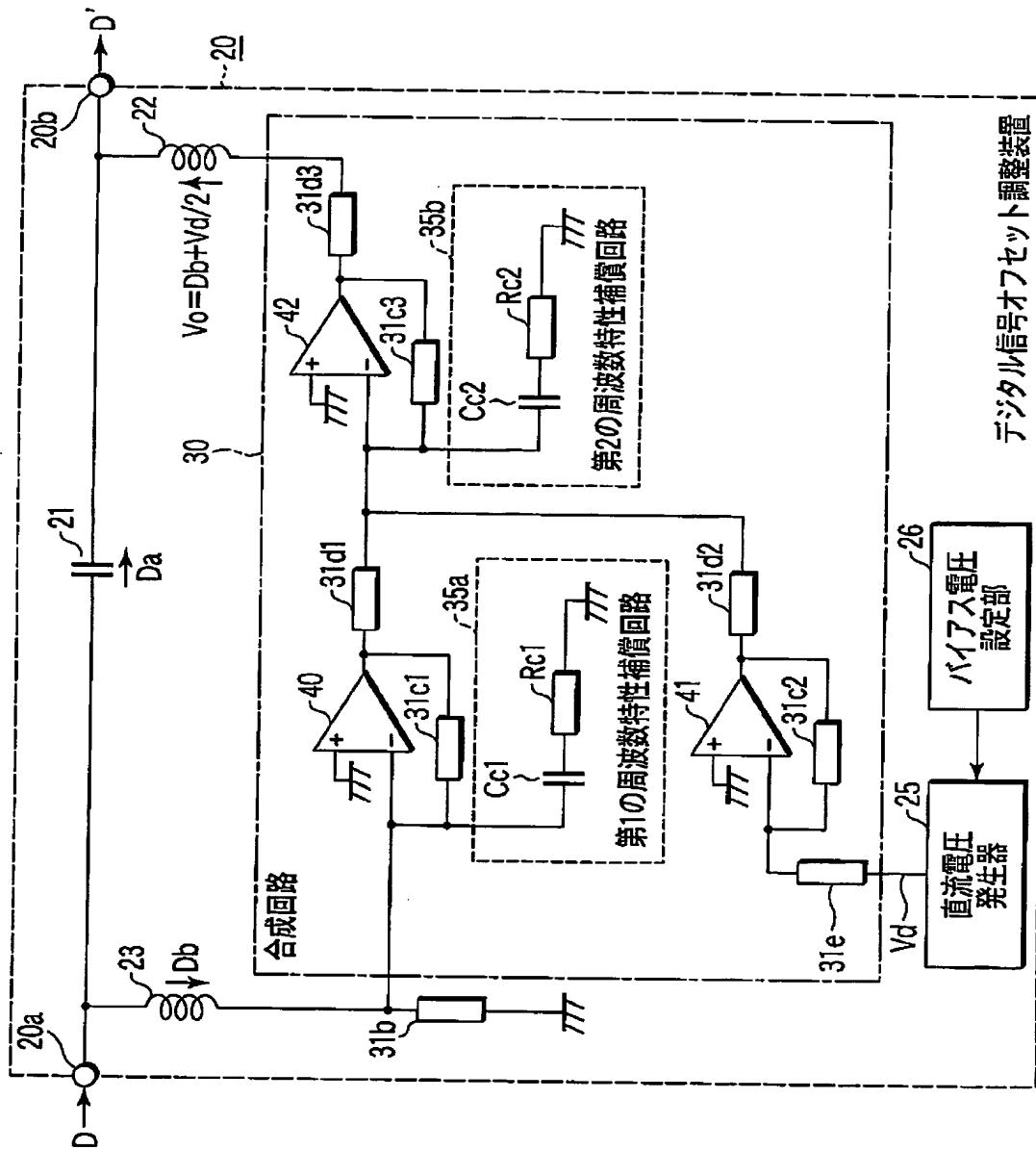
[図7]



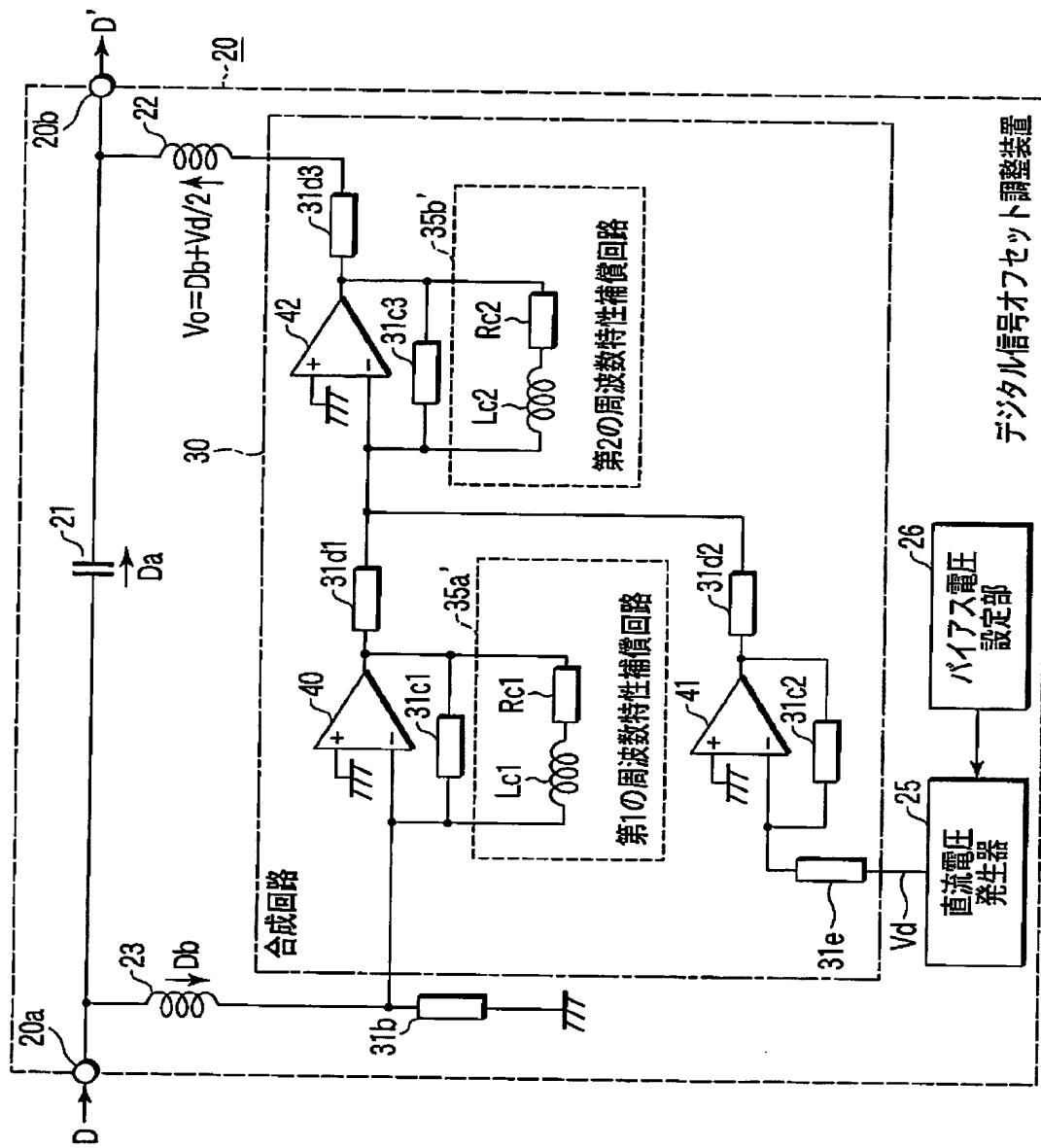
[図8]



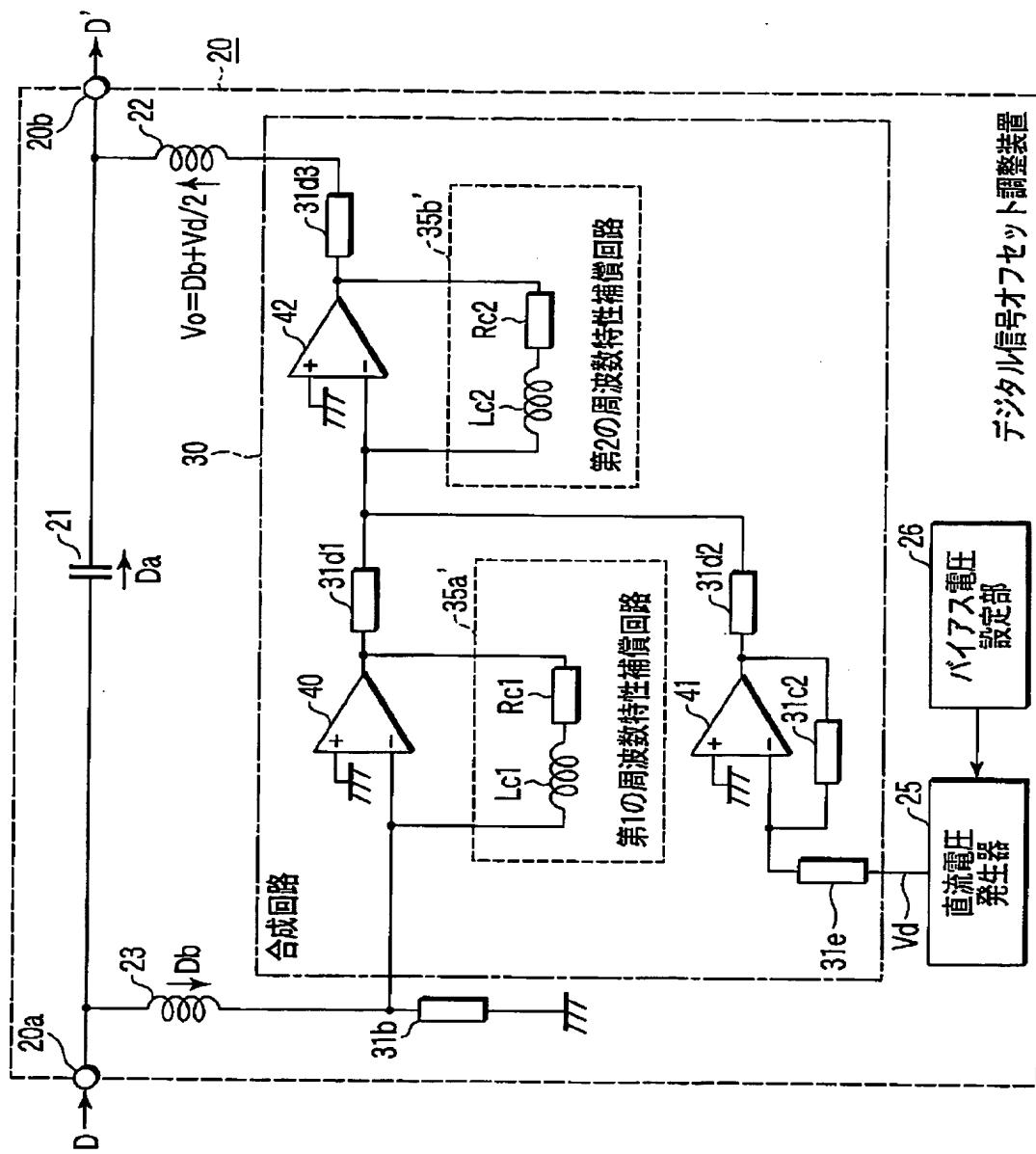
[図9]



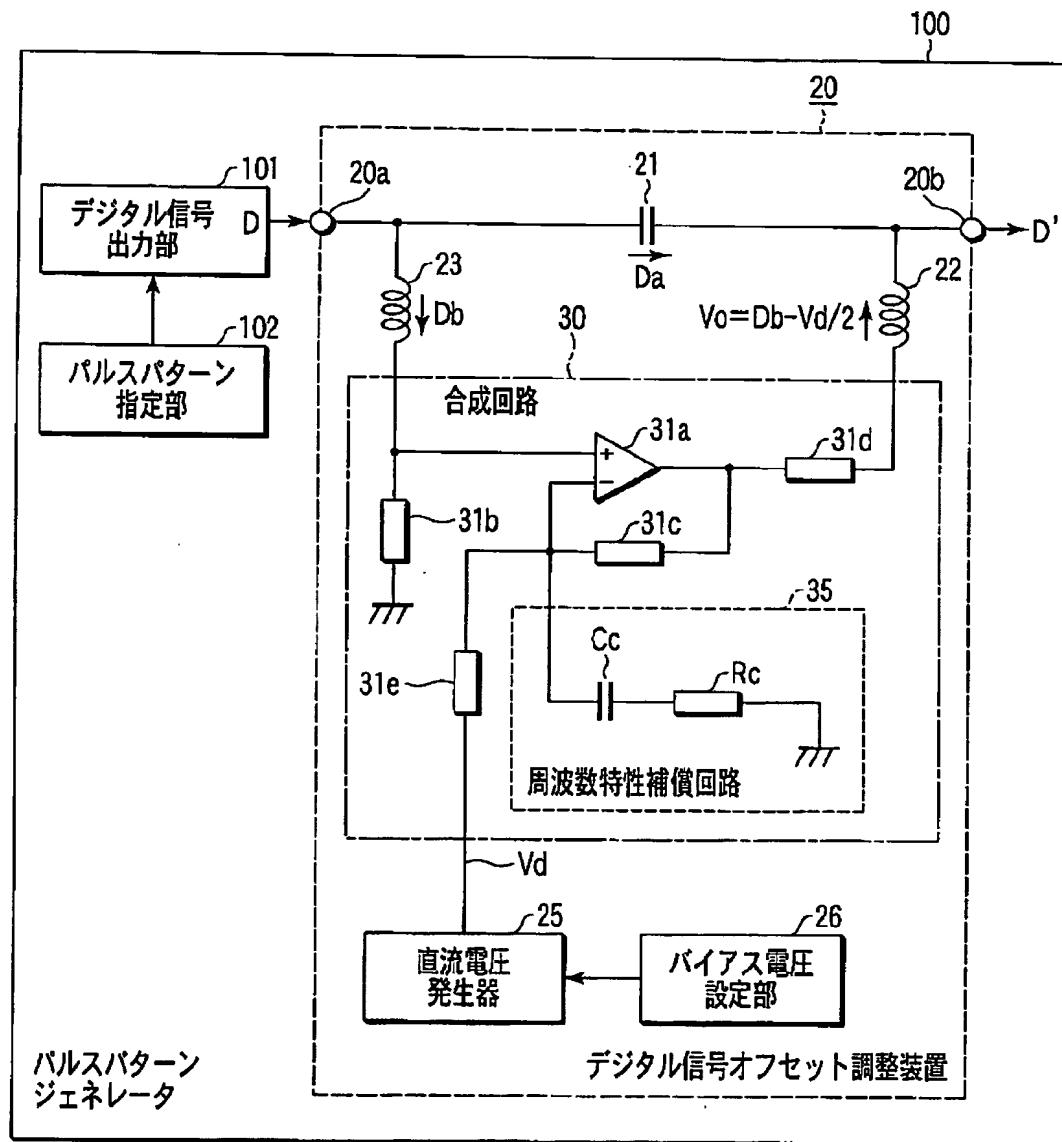
[図10]



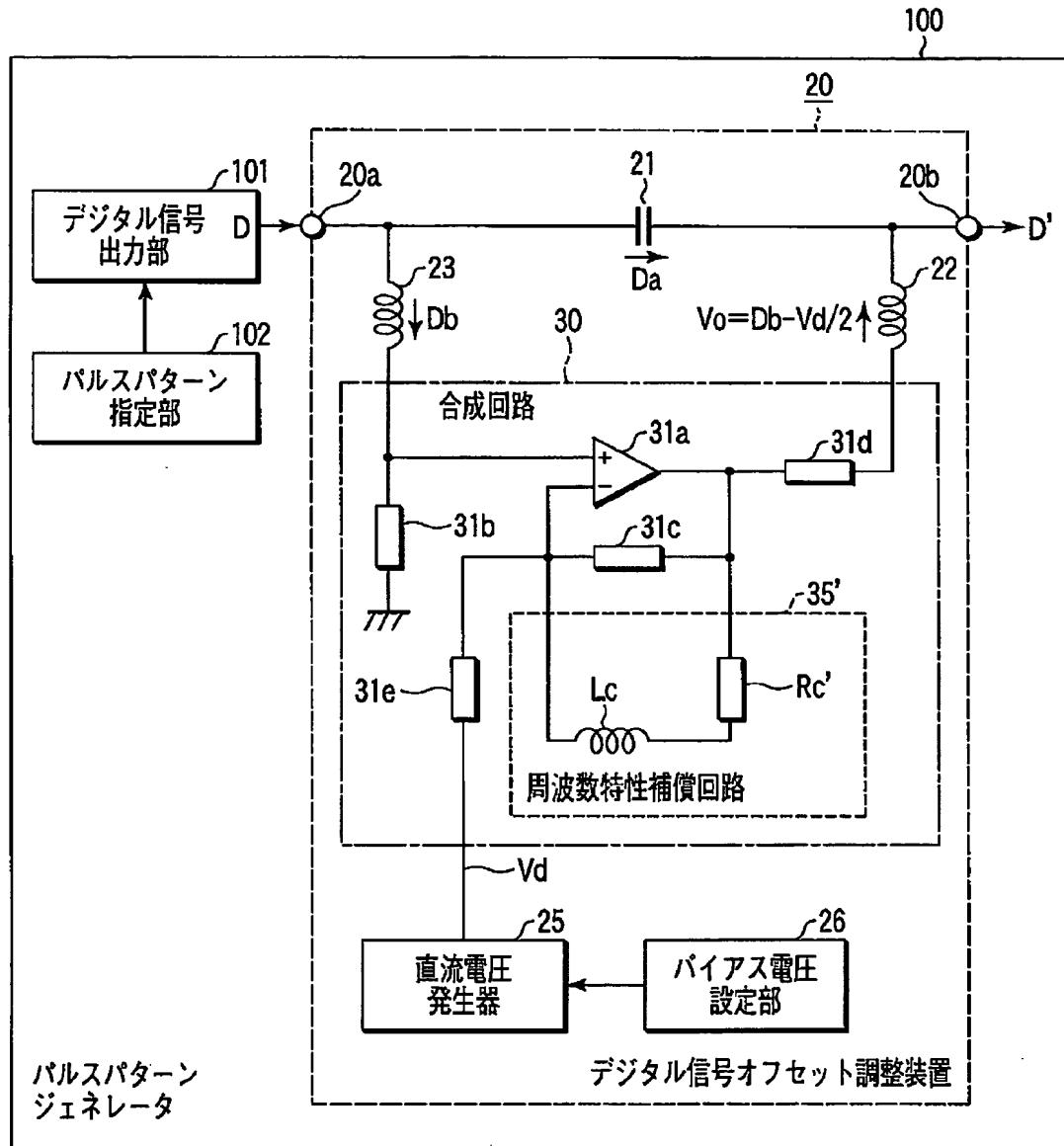
[図11]



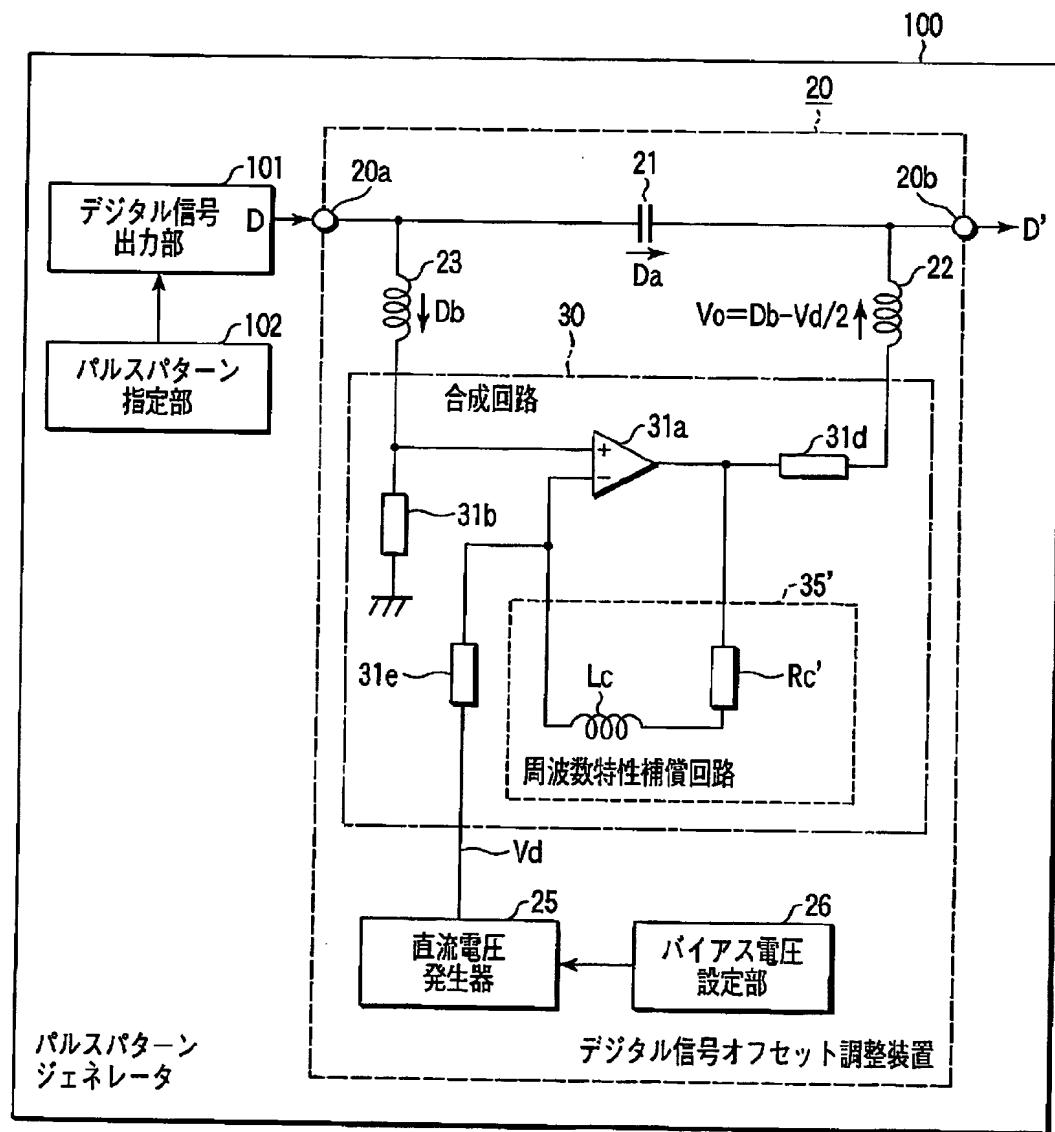
[図12]



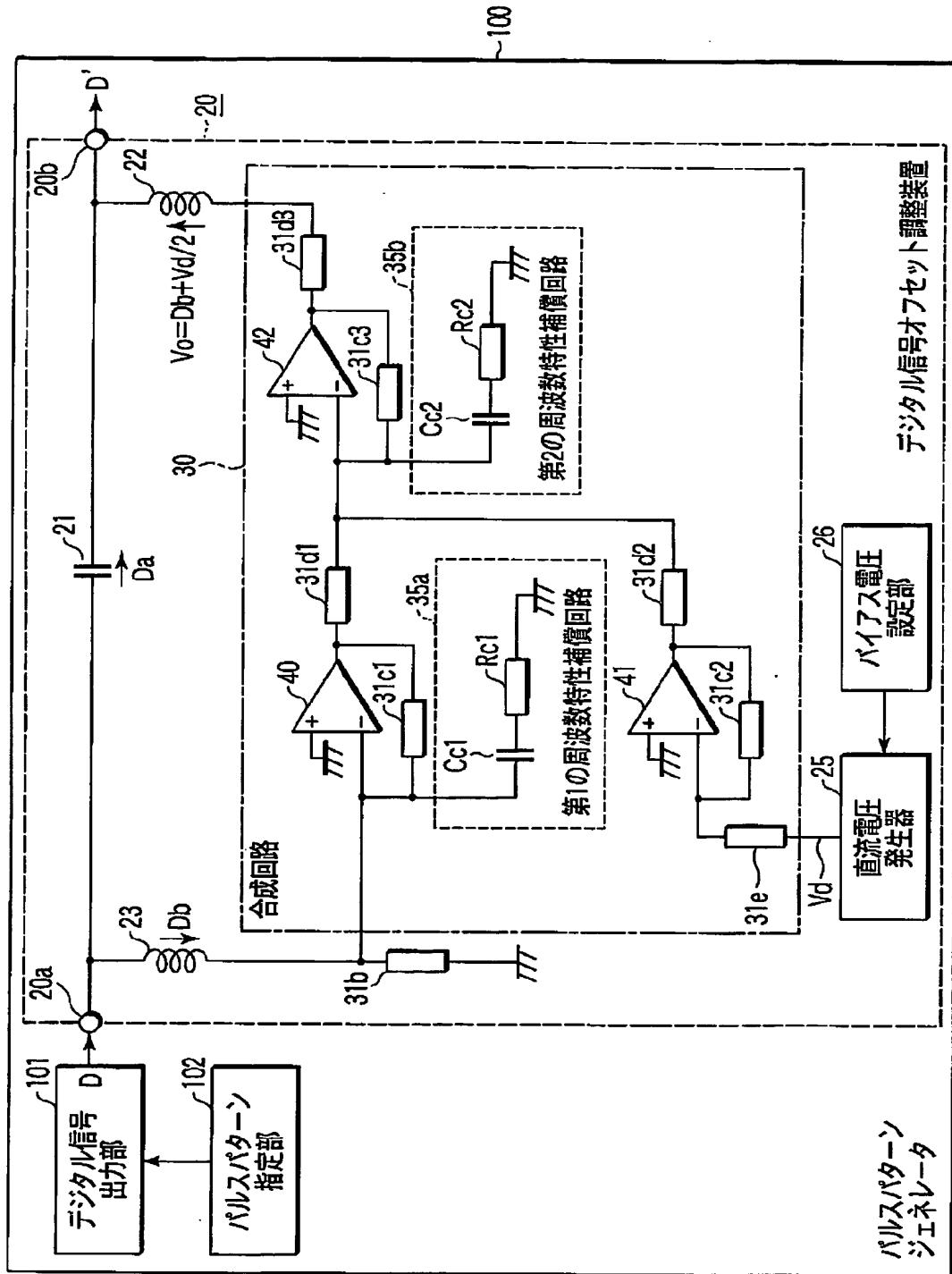
[図13]



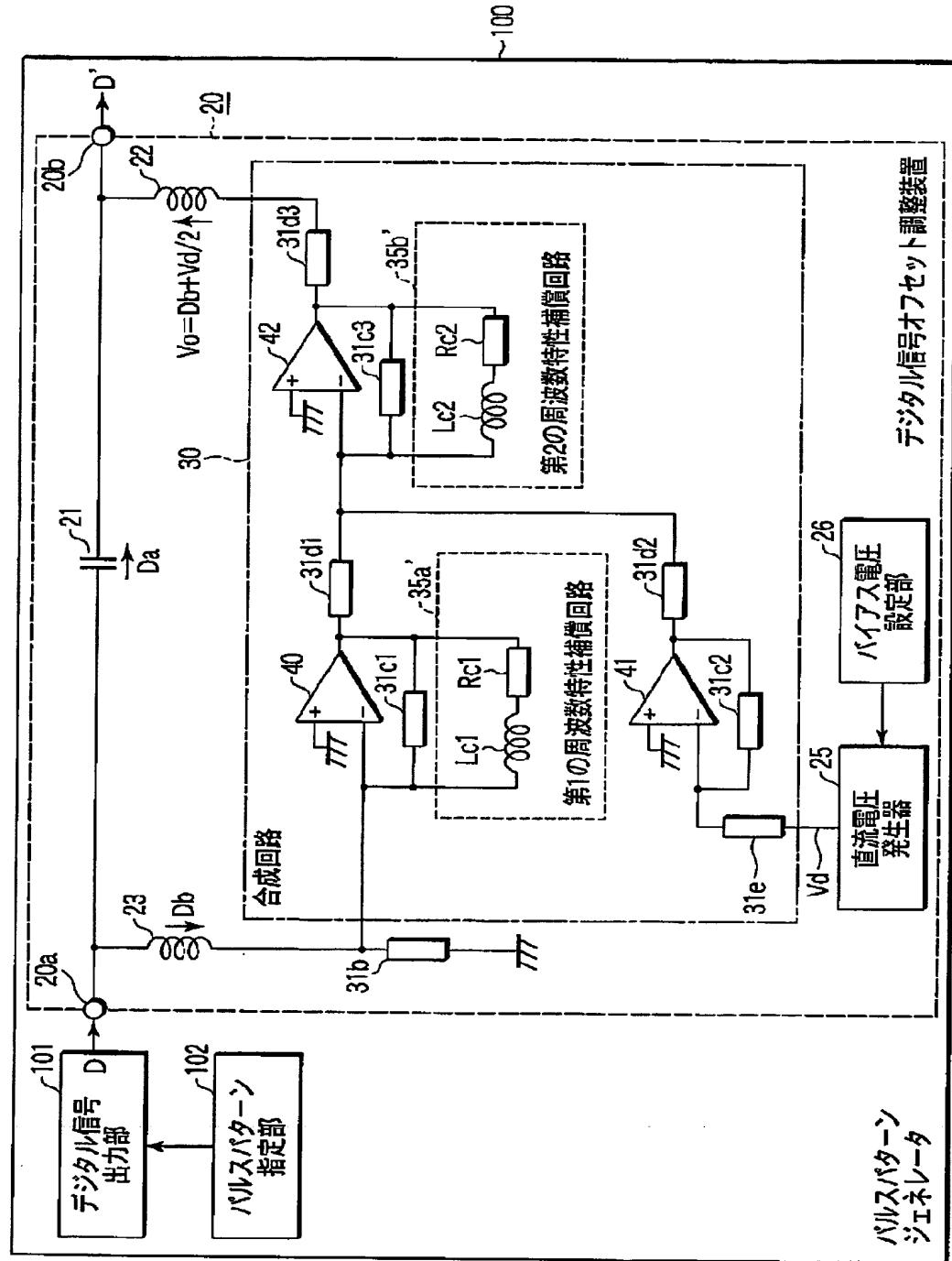
[図14]



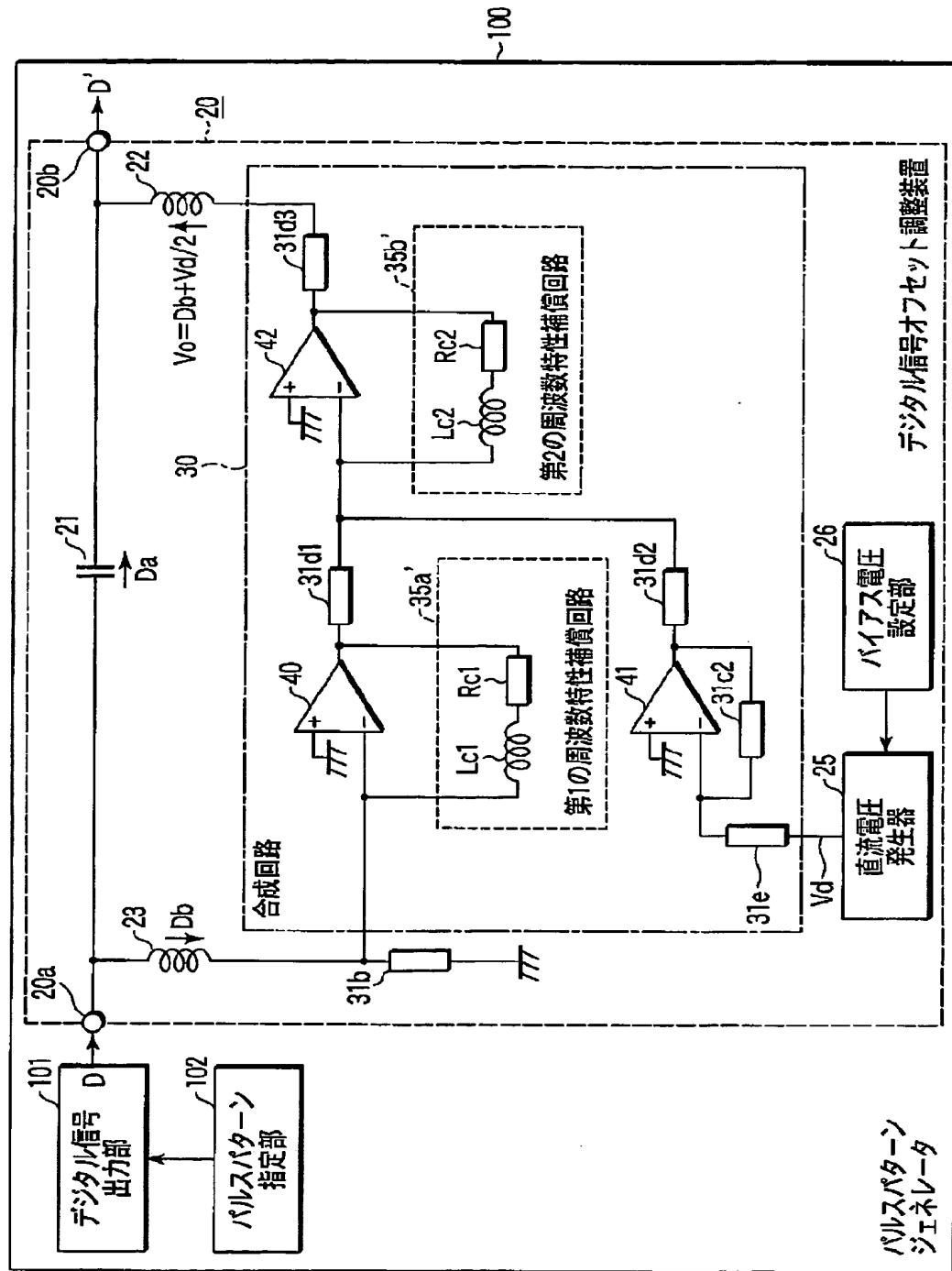
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/018006

A. CLASSIFICATION OF SUBJECT MATTER
H04L25/06{2 006 . 01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/06(2006 . 01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | | | | | | | |
|---------|---------|--------|-------------|-----------|--------|---------|--------|-----------|------------|
| Jitsuyo | Shinan | Koho | 1922 - 1996 | Jitsuyo | Shinan | Toroku | Koho | 1996-2005 | |
| Kokai | Jitsuyo | Shinan | Koho | 1971-2005 | Toroku | Jitsuyo | Shinan | Koho | 1994 -2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | JP 3-278645 A (NEC Corp.), 10 December, 1991 (10.12.91), Full text (Family: none) | 1 - 2 0 |
| A | JP 4-47835 A (Advantest Corp.), 18 February, 1992 (18.02.92), Full text (Family: none) | 1 - 2 0 |

Further documents are listed in the continuation of Box C.

See patent family annex.

| | | | |
|-----|---|-----|--|
| "A" | Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance | "T" | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "E" | earlier application or patent but published on or after the international filing date | "X" | document of particular relevance, the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "L" | document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "Y" | document of particular relevance, the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "O" | document referring to an oral disclosure, use, exhibition or other means | "&" | document member of the same patent family |
| "P" | document published prior to the international filing date but later than the priority date claimed | | |

Date of the actual completion of the international search
20 December, 2005 (20.12.05)

Date of mailing of the international search report
27 December, 2005 (27.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Fax/ tele No

Telephone No

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.C1. H04L25/06 (2006. 01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.C1. H04L25/06 (2006. 01)

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|-------------|
| 日本国実用新案公報 | 1922-1996 年 |
| 日本国公開実用新案公報 | 1971-2005 年 |
| 日本国実用新案登録公報 | 1996-2005 年 |
| 日本国登録実用新案公報 | 1994-2005 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|----------------|---|------------------|
| A | J P 3-278645 A (日本電気株式会社) 1991.12. 10, 全文 (ファミリーなし) | 1-20 |
| A | J P 4-47835 A (株式会社アドバンテスト) 1992. 02.18, 全文 (ファミリーなし) | 1-20 |

「C欄の続きにも文献が列挙されている。

π パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の役に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他(P1)以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「J」同一パテントファミリー文献

国際調査を完了した日

20.12.2005

国際調査報告の発送日

27.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K 9382

電話番号 03-3581-1101 内線 3556